
IP (Intellectual Property) フリーマーケット in EDSFair
～ あなたのIP (Intellectual Property) の市場価値は！？
会期:2003年1月30日(木)～31日(金) 会場:パシフィコ横浜

第10回FPGAコンファレンスでは、『IP (Intellectual Property) フリーマーケット』を開催し、IPベンダーやベンチャーが開発した商用IP、大学や研究室にこころがっているIP 掘り出しものIP などあらゆる設計者が開発したIPに対して、IPを売り込む発表の場とその価値を見極める場を提供します。是非自分達が開発したIPを売り込んでみませんか。

発表対象

- ・開発したIPを是非宣伝したい一般/ベンチャー企業の方！
- ・研究成果のアピールや研究費集めをしたい大学の研究室の方！
- ・自作のIPで副収入を稼ぎたい(今後ベンチャーを起したい?)大学生/大学院生!

(投稿例)マイクロプロセッサ、マイクロコントローラなどのプロセッサ類、JPEG、MPEGをはじめとする画像処理関連、FIRフィルター、DCT、FFTなどの信号処理マクロ、浮動小数点の四則演算マクロ、BCH、リードソロモン、ビタビなど誤り訂正マクロ、SinX、COSX、ArctanXなど三角関数の近似など...何でも歓迎!!!

発表形式

- ・第10回FPGA/PLD Design Conferenceの会場にてOHPを使ったプレゼンテーション(各団体3～5分:必須事項)
- ・EDSFair2003の会場内にポスター展示2日間(A4版2枚以内:会場内でPRは自由)

発表申し込み方法

以下の要領に従い、電子メールにて発表申し込みを送付して頂いた後に、詳細なカタログ概要の提出をして頂きます。原則その要件を満たしているものは出来る限り発表の場を提供しますが、発表申し込み多数の場合は、プログラム委員会にて厳正に審査を行い発表決定通知を送付します。発表決定通知受領後、発表者はカメラレディ原稿を送付してください。尚、発表までの日程は以下のようになっています。

発表申込書の送付期限:	2002年10月1日(火)
カタログ概要の送付期限:	2002年10月15日(火)
発表決定通知送付予定:	2002年11月15日(金)
カメラレディ原稿の送付期限:	2002年12月20日(金)

投稿申込書書式

投稿するIP名

分野(例えば画像・通信・インターフェースなど)

開発者(協同開発者を含む)、所属

500文字程度の概要(機能面から見た概要)

FPGA/PLDなどでの動作確認の有無(例えばXilinx社 Virtex で100MHz、集積度9500CLBsなど)

300文字程度のPR文(本IPの売込み文句)

キーワード3個以内

連絡先(住所、氏名、電話番号、FAX番号、電子メールアドレス)を記載した発表申込書を作成し、電子メールにて発表申し込み先までお送りください。なお、発表申込み様式(テンプレート)が必要な方は下記の問い合わせ先にご請求ください。

<カタログ概要書式

投稿するIP名

分野(例えば画像・通信・インターフェースなど)

開発者(協同開発者を含む)、所属

IPの機能説明(規格類の準拠などの情報を含む)

IPのブロック図(機能が理解できる程度のもの)

外部インターフェースの規定(入出力、タイミングチャート、インターフェース条件(電気的特性など))

IP提供の形式(C言語、HDL、コンパイル後のオブジェクトなど)

FPGA/PLDでの動作実績の有無(例えばAltera社 APEX で100MHz、集積度9500LEsなど)

PRしたい内容

無償公開 / 有償公開(有償の場合は自分の希望価格の提示)

連絡先(住所、氏名、電話番号、FAX番号、電子メールアドレス)を題目と図表を含めて必ずA4版2枚以内にまとめて記載してください。原則、上記要件を満たしているものは出来る限り発表の場を提供しますが、申し込み多数の場合は、上記の発表要件を満たしているか確認するため、期日までにカタログ概要をPDF形式で提出をお願いします。PDF形式を作成することが難しい場合は別途問い合わせ先までご相談ください。

カメラレディ原稿

発表採用後に予稿集に掲載する原稿として「カメラレディ原稿」を提出ください。発表者選定段階で提出して頂いた「カタログ概要」を再度、修正/ブラッシュアップして再提出ください。

投稿上の注意点

- ・ 今回の企画は、あくまで設計者の交流を目的とし、IPのPRの場を提供しており、IPに関する責任はすべて投稿者にあります。また、販売・入手の仲介は一切いたしませんので個別にコンタクトをお願いします。
- ・ 投稿されたIPの著作権・特許等は事前に投稿者が必要な処置を講じてください。
- ・ 本コンファレンスのIPの売り込み時間は合計90分程度を予定しており、投稿者多数の場合は審査を実施します。従って投稿者のすべてが発表できるとは限りません。また、投稿したこと(採用・不採用に限らず)で発生する利益・不利益については、本委員会は一切その責任を負いません。
- ・ 投稿者は発表決定通知を受け取った際には、必ず発表の義務が伴いますのでご承知置きください。発表が不可能になった場合は、次点の投稿IPを繰り上げます。

発表申込先(問い合わせ先)

〒105-0012 東京都港区芝大門1-12-16 住友芝大門ビル2号館5F

日本エレクトロニクスショー協会 担当: 吉永、菊嶋

電話: 03 - 5402 - 7601 FAX: 03 - 5402 - 7605

E-mail: IP-info@jesa.or.jp

-
- 主 催:第10回FPGA/PLD Design Conference実行委員会
社団法人電子情報技術産業協会(JEITA)
- 協 力:Electronic Design Automation Consortium
- 後 援:経済産業省 ,アメリカ合衆国大使館 ,米国半導体工業会(SIA)
外国系半導体商社協会(DAFS)以上予定)
- 協 賛:社団法人電子情報通信学会(IEICE) ,社団法人情報処理学会(IPSJ)
社団法人日本プリント回路工業会(JPCA)以上予定)
- 運 営:日本エレクトロニクスショー協会