

平成 15 年 12 月 9 日

報道関係各位

「発想の卵も、新技術の目玉も。」

『Electronic Design and Solution Fair 2004』開催について

社団法人電子情報技術産業協会
日本エレクトロニクスショー協会

社団法人電子情報技術産業協会(会長 = 佐々木 元・NEC 会長)は、EDA(Electronic Design Automation) 技術、ASIC (Application Specific Integrated Circuit) や FPGA/PLD (Field Programmable Gate Array / Programmable Logic Device) をはじめとする先進のデバイス技術、設計資産 (IP=Intellectual Property) 再利用技術、組込ソフトウェア技術、各種設計サービスなどの分野を網羅するソリューションフェア『Electronic Design and Solution Fair 2004』を 2004 年 1 月 29 日 (木) と 30 日 (金) の 2 日間、横浜国際平和会議場 (パシフィコ横浜) にて開催いたします。

開催規模については、104 社が 302 小間 (12 月 9 日現在) を出展、2 日間で約 1 万 2 千人の来場を見込んでいます。

21 世紀に入り、これからの社会はブロードバンドを基盤とし、いつでも、どこでもコミュニケーションが出来る「ユビキタス社会」に発展すると言われており、このコアとなっているのが半導体で、その高性能化・省エネルギー化はもとより、更にブレークスルーした微細加工技術の早期確立が必要とされています。このため、我が国でも、産学官一体となった次世代半導体研究開発の「半導体 MIRAI」プロジェクトをはじめとして、次世代 SoC (システム・オン・チップ) のプロセス技術や設計技術に関する研究開発プロジェクトが進められており、電子回路設計技術およびソフトウェアも含めたソリューション技術等関連技術の開発がますます重要になりつつあります。

Electronic Design and Solution Fair は、こうした時代のニーズに応えるべく、2001 年に米国の Electronic Design Automation Conference (EDAC) との協力関係を締結し、「FPGA/PLD Design Conference」を併設、米国の Design Automation Conference (DAC)、欧州の Design, Automation and Test in Europe (DATE) と並ぶ国際コンベンションとして位置付けられており、「設計ソリューションの必須技術を網羅したアジア随一の展示会」として開催するものです。

また、産学間の技術交流を深める「ユニバーシティ・プラザ」や、同時開催として「ASP-DAC 2004 (Asia and South Pacific Design Automation Conference 2004)」に加え、今回初とな

る「システム・デザイン・セミナー 2004」が行われるなど、技術発表のセッションやイベントの充実を図り、ご参加いただく出展者・来場者の皆様のご要望にお応えし、効率的かつ効果的なコミュニケーションとビジネスの場をご提供できるものと確信しております。

以上

本件に関するお問い合わせは、下記までお願いいたします。

EDSFair2004 事務局：日本エレクトロニクスショー協会 担当：菊嶋・吉永

TEL : (03) 5402-7601 FAX : (03) 5402-7605

E-mail : edsfair.info@jesa.co.jp

<http://www.edsfair.com>

開 催 要 項

- 名 称 : Electronic Design and Solution Fair 2004 (略称: EDSFair 2004)
- 会 期 : 2004年1月29日(木)~1月30日(金) 2日間
- 会 場 : 横浜国際平和会議場(パシフィコ横浜)展示ホール/アネックスホール
〒220-0012 横浜市西区みなとみらい1-1-1
- 開場時間 : 午前10時~午後6時
- 入 場 : 展示会 - 全来場者無料
(インターネットによる事前登録、もしくは入場の際に登録が必要となります)
出展者セミナー - 全来場者無料
(当日受付のみ。ただし、展示会への入場登録が必要となります)
キーノートスピーチ - 全聴講者無料
(インターネットによる事前申込が必要となります)
FPGA/PLD Design Conference - 全聴講者有料
(インターネットによる事前申込が必要となります)
ユーザ・プレゼンテーションは無料
システム・デザイン・セミナー 2004 - 全聴講者有料
(インターネットによる事前申込が必要となります)
- 主 催 : 社団法人電子情報技術産業協会(JEITA)
- 協 力 : Electronic Design Automation Consortium(EDAC)
- 後 援 : 経済産業省、アメリカ合衆国大使館 商務部、
外国系半導体商社協会(DAFS) 横浜市(順不同)
- 協 賛 : 社団法人電子情報通信学会(IEICE) 社団法人情報処理学会(IPSJ)
社団法人日本プリント回路工業会(JPCA)(順不同)
- 運 営 : 日本エレクトロニクスショー協会(JESA)

キーノートスピーチ

『21世紀のキーワード「おもしろ おかしく」』

堀場 雅夫 氏(株式会社 堀場製作所 会長)

21世紀の国際社会の中で、地球環境問題から先端技術開発までの広範な分野で社会に貢献できる事業を、ホリバの「哲学」と「精神」に基づいて紹介いたします。

日 時 : 1月29日(木) 10:30~11:30

場 所 : パシフィコ横浜 アネックスホール

聴 講 料 : 無料

申込方法 : <http://www.edsfair.com> にて聴講事前登録を受付中

FPGA/PLD Design Conference

11 回目の開催となる今回は、「ロジックデバイスから組み込みシステムデバイスへ」をテーマとして特に注目すべきトピックとして、大規模な FPGA/PLD の設計開発期間を短縮する検証手法、ユーザの立場から見た商用リコンフィギュラブル・コンピューティング・デバイスの使い心地、最近話題の構造化 ASIC、ソフトコア CPU の応用事例、高度化する FPGA/PLD の電源にからむノイズのソリューション、失敗事例などを取り上げます。

日 時： 1 月 29 日（木） 12：50～16：50
1 月 30 日（金） 10：00～16：50
場 所： パシフィコ横浜 アネックスホール
聴 講 料： 1 セッション受講券（1 回券） - 5,000 円（税別）
5 セッション受講券（回数券） - 15,000 円（税別）
申込方法： <http://www.edsfair.com> にて聴講事前登録を受付中

《プログラム》 講師・詳細等は、ホームページをご参照ください。

- セッション 1 : デジタル回路設計 - 基礎の再確認
- セッション 2 : FPGA とストラクチャード ASIC の効果的な使い分けとその設計課題
- セッション 3 : FPGA 回路設計疑似体験と応用
- セッション 4 : 姿を現し始めた和製新概念デバイス - 動的再構成 LSI
- セッション 5 : デザインヒント～FPGA 設計の落とし穴に落ちないために～
- セッション 6 : 思わぬ設計バグに秘策あり - これからの設計方法論
- セッション 7 : 広帯域データ転送を実現するための IC 設計手法
- セッション 8 : ソフトコア CPU 搭載 FPGA の実設計ノウハウとその応用
- セッション 9 : 失敗しない FPGA ボード設計
- セッション 10 : C/C++ベース設計と先進的 FPGA 応用

ユーザ・プレゼンテーション

FPGA/PLD Design Conference では、ユーザ・プレゼンテーションとして、企業関係者や大学関係者による FPGA/PLD にかかわる研究テーマに関するプレゼンテーションに加え、FPGA ベンダと ASIC ベンダによる ASIC FPGA とストラクチャード ASIC の将来展望に関するパネルセッションを企画しています。

日 時： 1 月 29 日（木） 12：50～17：50
1 月 30 日（金） 10：00～17：20
場 所： パシフィコ横浜 アネックスホール
聴 講 料： 無料
事前登録： 不要（EDSFair の入場登録が必要となります）

IP (Intellectual Property) フリーマーケット

IP ベンダーやベンチャーが開発した商用 IP、大学や研究室にて開発された IP など、多岐にわたる IP を発表する場とその価値を見極める場として、『IP (Intellectual Property) フリーマーケット』を開催いたします。

- 日 時： 1月29日(木) 13:50~
場 所： パシフィコ横浜 アネックスホール
聴 講 料： 無料
事前登録： 不要 (EDSFair の入場登録が必要となります)
内 容： ポスター展示およびプレゼンテーション
1月30日(金)は、展示会場内にてポスター展示を行います。

システム・デザイン・セミナー 2004

このセミナーでは、システム・LSI 設計者、EDA 技術者に最新の設計技術、課題など、今一番ホットな話題、内容を設計事例とともに紹介いたします。

- 日 時： 1月30日(金) 10:00~16:50
場 所： パシフィコ横浜 アネックスホール
聴 講 料： 1セッション受講券(1回券) - 5,000円(税別)
申込方法： <http://www.edsfair.com> にて聴講事前登録を受付中

《プログラム》 講師・詳細等は、ホームページをご参照ください。

- セッション1 : 最先端アナデジ混載 SoC 設計技術
セッション2 : 大規模 SoC デザイン
セッション3 : SoC 設計での設計と製造の境界面での問題と対応