

RTL記述レビューポイント

- 組合せ回路と順序回路が区別されているか
- DFFになる信号が認識されているか
- 組合せ回路の出力がク
- クロック同期期になっ
- 条件判定に漏れがない
- 優先順位の高い入力信
- 論理合成を試行してエ
 - 不完全なセンシビリ
 - ラッチの生成
 - DFFの数

仕様検討レビューポイント

- 入出力信号表を作ってあるか
- 機能の洗い出しはできているか
- 各機能はどのブロックに入っているか
- 機能の重複はないか
- 試験項目をピックアップしてあるか
- ピン配置には制約があるので確認する



第11回 FPGA/PLD Design Conference



第11回 FPGA/PLD Design Conference

ステートマシンの注意点

- デッドロックに注意。
- システムのリセットで初期化する。
- ステートのデフォルト値を指定する。

シナリオを利用したテストベンチ構成例

