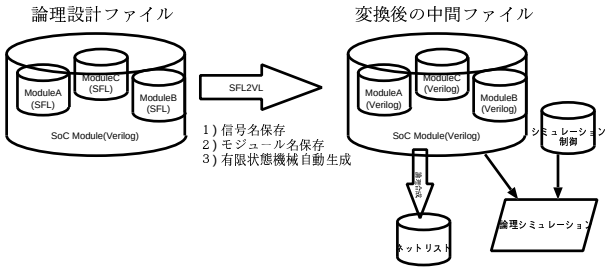
(1) **設計支援ツール名:** ***sfl2vl***
(2) **分野:** HDL 変換プログラム
(3) **開発者:** 清水尚彦
(4) **機能説明:**

Verilog ベースの設計環境において、同期回路の記述能力の高い SFL によるデザインエントリを可能とする HDL 変換プログラム。パルテノン研究会制定 SFL 仕様書 第 1 版 改 1 準拠の SFL 記述を入力として、IEEE-1364 準拠 Verilog 記述に変換する。

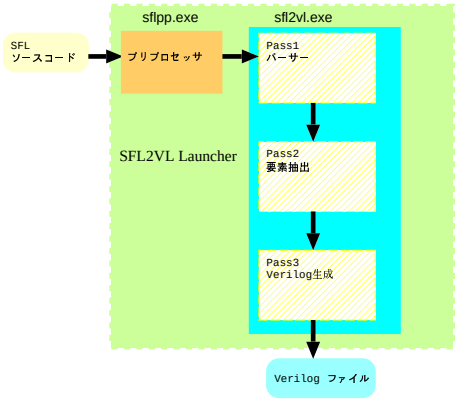


変換において、SFL に記述したモジュール名、信号名、レジスタ名は変換後の Verilog において同一の名前に保つため、変換後の Verilog を参照せずに論理シミュレーション等の設計作業が可能である。

(5) **システム構成図:** *sfl2vl* は 3 つのプログラムより構成する。

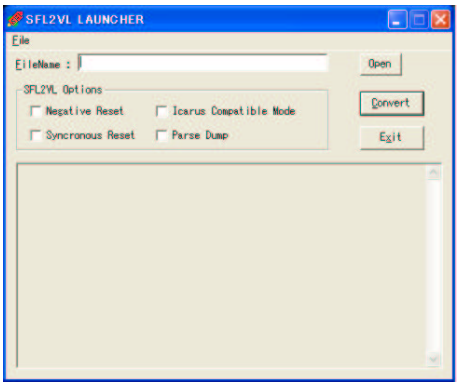
(1) `sflpp.exe` はマクロを展開するプリプロセッサである。プリプロセッサマクロの書式は NTT の処理系と互換性を有する。

(2) `sfl2vlbin.exe` は変換プログラム本体である。本体はさらに 3 つの部分に分けて内部処理を行っている。パーサーは入力した構文を文法解析すし、要素抽出において必要とされるレジスタ転送言語要素を SFL 文法から抽出し、その後、Verilog に変換する。



(3) `sfl2vl launcher` は起動パラメータや引数などを与えて上記二つのプログラムを起動する GUI ラッパーソフトである。

(6) **操作性:**



`sfl2vl launcher` を起動し、`FileName` リストボックスにSFLファイルをドラッグ&ドロップするか、`Open` ボタンよりファイルを指定し、`Convert` ボタンをクリックすると拡張子が`.v` に変換されたVerilogファイルを生成する。

チェックボックスによって、

1) 負論理リセットの選択、2) 同期リセットの選択、3)Verilogフリーソフトコンパイラである Icarus Verilog Ver.0.7 における論理合成可能な Verilog ファイルの生成、4) 文法解析経過の表示のオプションが設定できる。

(7) **提供形式:** バイナリインストールパッケージで提供。

(8) **動作環境:** Windows98, WindowsNT, Windows2000, WindowsXP など。CPU は Pentium 以降、メモリは 64MB 以上を推奨。別途、CUI の Linux 版も提供可能。

(9) **PR 内容:** 大規模開発では主要なモジュール内を同期設計する。ところが、既存の多くの HDL では非同期の記述をサポートするための構文を同期設計にも流用するため、記述の冗長度が高く、設計者の見通しが悪い。また、初学者においては、クロック同期の開発手法に沿わない開発スタイルが許容される結果無用な混乱に陥りやすい。国産 HDL である SFL は同期設計に軸足を置いた抽象度の高い設計記述能力を有し、多くの大学で初等設計教育での有効性が認められている。ところが、SFL の処理系としてはビジネス展開をしていない NTT 社の PARTHENON が唯一のものであったため、ビジネスにおける利用が困難であった。本ツールは設計者に使いやすい言語体系を持つ SFL を Verilog に変換するものであり、設計者の生産性向上をもたらすものである。

(10) **公開:** SFL を 1,000 行まで変換可能な Baseline 版は無償。制限解除のライセンスファイル提供は個別相談

Baseline 版のダウンロードは下記ホームページより可能。

`http://www.ip-arch.jp/`

(11) **連絡先:**

清水尚彦

Email: nshimizu@ip-arch.jp