

MIPS R3000 互換命令セットを要素プロセッサに持つ マルチプロセッサシステム IP

マルチプロセッサから組み込み用途まで、幅広いニーズに対応できるプロセッサ・コア・ソリューションを提供する。本 IP は論理合成可能な、MIPS R3000 命令セットに準拠した 32 ビット RISC CPU である。さらに、可読性の高い RTL 記述であるため、ユーザーのニーズに応じてコアの改造が容易に可能。更に独自の拡張によりマルチプロセッサにも対応。

分野: マルチプロセッサ

IP の機能説明:

本 IP ではマルチプロセッサ用 CPU として以下の 3 つを提供する。

1. MIPS R3000 互換命令セットを持つ CPU, および周辺回路:

本 IP では、要素プロセッサとして MIPS R3000 命令互換のプロセッサ・コアを提供する。プロセッサは、5 段シングル・パイプライン・ステージ構成をとっており、単相クロックで動作する。プロセッサ・コアは論理合成可能な Verilog-HDL で提供される。さらに、オリジナルの命令に加え、マルチプロセッサ環境において必須である同期命令として、アトミック・ロード/ストア命令を実装している。また、オリジナルの MIPS では、TLB は 64 エントリの CAM で構成されているが、本 IP では FPGA/LSI のリソースに合わせて エントリ数を 16, 32, 64 エントリに変更できる仕様になっている。更に、TLB をソフト的に無効化するための機構も実装している。このため、高性能マルチプロセッサ環境から組み込み用途まで、幅広い分野で利用が可能である。周辺回路としては、多くのプロセッサで採用されており、マルチプロセッサにも対応している MOESI プロトコル準拠のキャッシュ・コントローラ、およびバス・アービタを提供している。

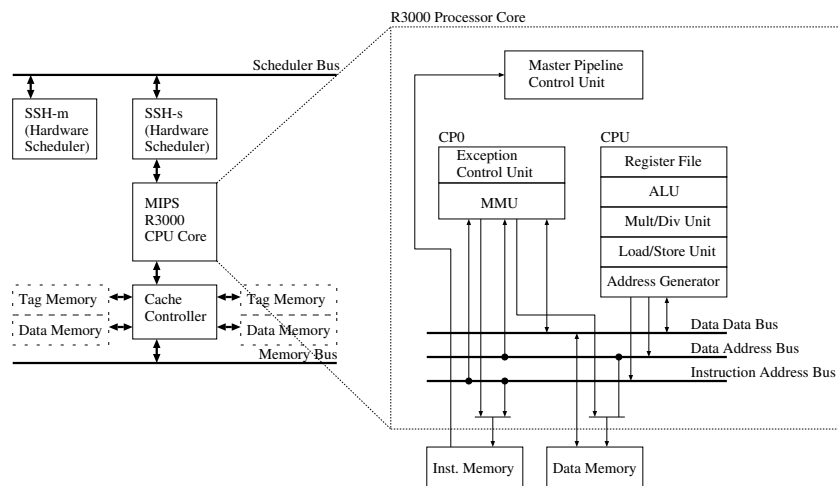
2. SSH:

SSH(Scheduling Support Hardware) は、マルチプロセッサ環境において問題となるタスクのスケジューリングを高速に行うための機構である。SSH を CPU に付加することで、タスク・スケジューリングを CPU の動作と独立、かつ並行して行うことができる。MIPS R3000 プロセッサ・コアと SSH を用いることで、高性能なマルチプロセッサ環境を容易に実現できる。

3. ソフトウェア開発環境:

通常、プロセッサ IP を用いる場合は、別途高価なソフトウェア開発ツールを購入する必要がある。しかしながら本 IP で提供されるプロセッサは MIPS R3000 と完全な命令互換性を保っているため、Gnu C Compiler 等の無償のコンパイラを用いたソフトウェア開発が可能である。更に、本 IP では Gnu C Compiler で利用可能な ANSI C の標準関数のサブセット、および Pthread ライブラリのサブセットを提供している。

本 IP のブロック図:



外部インターフェースの規定:

表 1 に CPU コアのインタフェースの概括を示す. この CPU コアに, 前述のキャッシュ・コントローラ, SSH 等を加えるとピンの合計数は 414 本となる¹.

表 1: CPU コアのインタフェース

信号線	ピン数	用途
クロック	1	クロック
リセット	1	リセット
データバス	30+32	アドレス/データ
命令バス	30+32	アドレス/データ
命令/データ・バス制御線	16	RE, WE, REQ, ACK 等
CPU 制御線	17	外部割り込み等
合計	159	

IP 提供の形式:

基本的には RTL レベルの Verilog-HDL で提供する. TLB のエントリ数の変更, および命令の追加を行う場合は, 本 IP 附属の HDL ジェネレータ²を使用する必要がある. このジェネレータは, 与えられた仕様に基づいて命令デコーダ, および TLB を実現する Verilog-HDL の RTL 記述を生成するものである.

FPGA/PLD での動作実績の有無:

表 2 に ALTERA APEX 20K1000E(BGA 652pin) を用いて CPU コア (MMU は 16 エントリに縮小), およびキャッシュ・コントローラ, SSH を実装した場合の使用リソース量を示す. シングル・プロセッサ構成での動作は FPGA を用いて検証を行っており, 動作確認済みである.

表 2: リソース量

リソース	使用数	使用率
ロジックエレメント数	14,907LE	38%
ピン数	414 ピン	58%

マルチプロセッサとしての動作検証は, Verilog-HDL シミュレータにおいて 16CPU で正常に動作することを確認している. また, FPGA を用いた実機での動作確認については 4CPU 構成で正常に動作することが確認されており, 現在, より多くのプロセッサを用いた動作検証を行っている最中である.

PR したい内容:

本 IP ではコンテキスト・スイッチの際に発生するオーバーヘッドをハードウェアで低減する SSH を搭載したマルチプロセッサ環境を提供する. 本 IP ではこの SSH を搭載しているため, 従来のマルチプロセッサ環境では高速化が困難であった細粒度並列処理においても高速化が期待できる. また本 IP では提供されるプロセッサは MIPS R3000 と完全な命令互換性を保っているため, Gnu C Compiler 等のコンパイラを用いたソフトウェア開発が可能である. さらに, SSH を利用した高速な Pthread のサブセット・ライブラリ, および SSH を利用しない, すなわちソフトウェアだけで実現した Pthread のサブセット・ライブラリを提供している.

無償公開/有償公開: 有償公開 (IP フリーマーケットにて市場価格調査)

開発者の所属、および連絡先:

佐々木敬泰 *1, 弘中哲夫 *2, 鈴木圭介 *2

*1:三重大学 工学部 情報工学科, *2:広島市立大学 情報科学部 情報工学科

連絡先: 731-3194 広島市安佐南区大塚東三丁目 4 番 1 号

広島市立大学 情報科学部 情報工学科 弘中哲夫 助教授 気付

担当: 鈴木圭介

TEL: 082-830-1561 FAX: 082-830-1561

E-mail: keisuke@csys.ce.hiroshima-cu.ac.jp

¹ピン数が大幅に増加しているのは, キャッシュ・メモリを外部の SRAM を用いて実現すると仮定しているためである.

²ジェネレータの使用には Perl の Ver 5.0 以上が必要.