

IP 名 i8086 命令互換プロセッサコア 分野 プロセッサ

大山将城[†] 清水尚彦^{††}

[†] 東海大学工学部通信工学科

^{††} 東海大学電子情報学部コミュニケーション工学科

E-mail: {0aet3123, nshimizu}@keyaki.cc.u-tokai.ac.jp

Tel : 0463-58-1211(内線 4084)

1 はじめに

組込み分野ではソフトウェア資源の豊富な汎用プロセッサの需要が高い。したがって、8086 プロセッサの IP 提供は実用性から需要が見込める。

2 IP 機能説明

本 IP は Intel 社の 8086 仕様書”MCS-86 USER'S MANUAL”に準拠する互換プロセッサである。プロセッサコアの機能ブロック図を図 1 に示す。

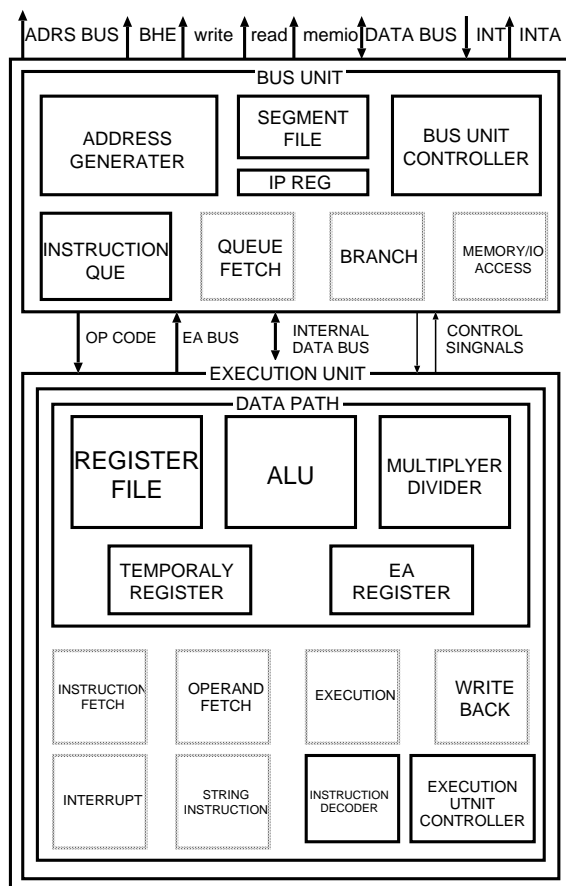


図 1: プロセッサコアブロック図

3 外部インターフェース

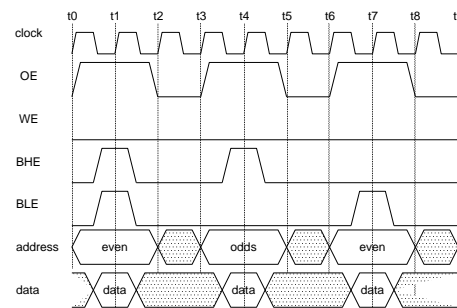


図 2: SRAM からデータリード時のタイミングチャート

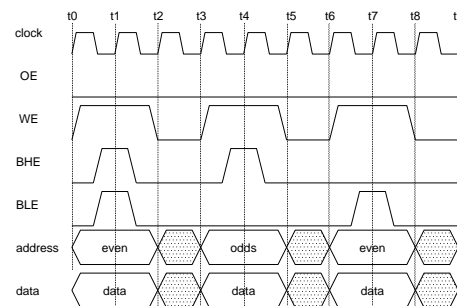


図 3: SRAM へのデータライト時のタイミングチャート

図 2,3 のタイミングで外付け SRAM とのデータの
入出力を行なう。

表 2: 論理合成結果

モジュール名	ロジックセル数	動作周波数 [MHz]
プロセッサコア	3884	9.16

4 性能評価

性能評価には Dhrystone Benchmark ver1.1 を用いた。ターゲットコンパイラを Bruce's C compiler(以下 bcc) とし、オプションによりメモリモデルをタイニーとし (CS,SS,DS が同じ値であるメモリモデル)、システムコールを使用しない環境で実行できるようにした。そして、Dhrystone Benchmark の Proc1 を CALL した時点から再び Proc1 が CALL されるまでの実行クロック数を計測し 1 秒あたり何回のループを行なえるかを示す Dhrystone/S で評価を行なった。

表 1 より本プロセッサコアはモデルとする i8086 プロセッサと比較し 4 倍以上の性能が出せていると言える。

表 1: i8086 プロセッサとの性能の比較

プロセッサ	動作周波数	コンパイラ	Dhrystone/S
設計したプロセッサ	9MHz	bcc	1346
i8086 オリジナル	6MHz	Intel C-86V2.0	304

なお、i8086 プロセッサとの性能の比較には Dhrystone Benchmark ver1.1 のソースコード内にあるベンチマーク履歴を参照した。

5 合成と評価

ターゲットデバイスを ALTERA 社 EP1S10F484C5 とし、Quartus2 3.0 で論理合成した現時点での結果を 2 に示す。

プロセッサ全体のロジックセル数が約 4000 と多い。原因としてはレジスタファイルを全てフリップフロップで実装したことと、乗除算器を別演算器として用意したことが考えられる。そこで、乗除算器を個別に論理合成したところ約 1000 ロジックセルを占め 2 割以上のコストとなっていた。

したがって、乗除算をテンポラリーレジスタとステートマシン制御により実現し、レジスタファイルは EAB にマッピングし実装コストの削減を行なっていく。

また、動作周波数に関しては現在クリティカルパスの検証中である。

6 FPGA/PLD での動作実績

開発したプロセッサコアは ALTERA 社 EP1K100QC208-1 上にて動作をしている。

C 言語のプログラムを bcc でコンパイルし、メモリに格納し、実際に動作を確認できた。C 言語ならびにアセンブリ言語を用いて開発したモニタプログラムの動作の様子を図 4 に示す。

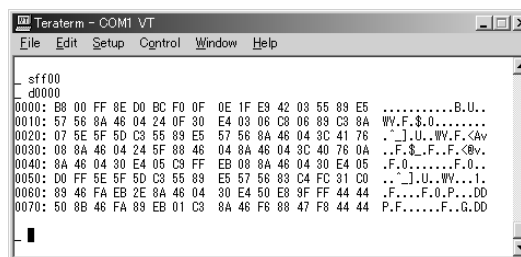


図 4: モニタプログラム実行時の様子

7 IP 提供の形式

提供形式及び契約方法については未定である。

8 まとめ

実際に FPGA 上で動作する i8086 命令互換プロセッサを開発した。今後は FPGA 上で OS の動作までを行なう予定である。