	第1会場 C11・定員50名	第2会場 CM3・定員30名	第3会場 DM1・定員30名	第4会場 DM2・定員30名	第5会場 DM3・定員50名
10:30〜11:15		**TeraForm設計フロー応用例 LSIロジック社における実例及び「RapidChip用RTL解析ツール "RapidPRO"」** 日本テラ・システムズ（株） 今村 聡子 氏 （ASIC/RapidChipビジネスディビジョン シニアフィールドアプリケーションエンジニア／LSIロジック（株））		**米Auspy社の最新FPGAパーティショニングソフトウェアAPSII4.0による数百万ゲート以上の規模のプロトタイピング** プロトタイピング・ジャパン（株） 鳥本元彦 氏 （社長兼CEO）	**Linking Chip Design To Manufacturing** Silicon Integration Initiative Don Cottrell 氏 （Si2 Fellow – Emerging Technologies）
11:30〜12:15	**ミックスドシグナル・ソリューション DiscoveryAMSならびにポストレイアウト検証フロー** 日本シノプシス（株） 海老原 隆 氏 （技術本部 シニア アプリケーション コンサルタント）	**TeraFormがサポートするNECエレクトロニクス社製最先端Structured ASIC"ISSP90"の紹介** 日本テラ・システムズ（株） 佐藤 文彦 氏 （第一開発事業本部 / 第三カスタムSLI事業部 シニアマーケティングプロフェッショナル／NECエレクトロニクス（株））	**ソフトジン社のEDAソフトウェア開発サービスのご紹介** SoftJin Infotec Private Ltd Nachiket Urdhawareshe 氏 最高経営責任者（CEO）	**スウェーデンHARDI社による超高速・高信頼性の最先端ASICプロトタイピングシステムのご紹介** プロトタイピング・ジャパン（株） Lars-Eric Lundgren 氏 （社長兼CEO/スウェーデンHARDI社）	**Linking Chip Design To Manufacturing** Silicon Integration Initiative Don Cottrell 氏 （Si2 Fellow – Emerging Technologies）
12:30〜13:15	**ひと味ちがうストラクチャードASIC！ アルテラ社のHardCopyファミリ** 日本アルテラ（株） 堀内 伸郎 氏 （マーケティング部 プロダクトマーケティング マネージャー）	**クロック系＆電源系設計のプログラマブル・ソリューション** ラティスセミコンダクター（株） Jock Tomlinson 氏 （Vice President of Applications/Lattice Semiconductor Corporation）	**Syntest Technology社 Virtual SCANによるテストコストリダクションツールによるDFTソリューション** 丸紅ソリューション（株） NECマイクロシステム（株）	**VHS（ベリフィケーション・ホットスポット）によるSoC高品質検証 *株式会社富士通様 実例発表*** ゼロインデザインオートメーション（株） 朽木 順一 氏 （デザインベリフィケーションコンサルタント）	**Linking Chip Design To Manufacturing** Silicon Integration Initiative Don Cottrell 氏 （Si2 Fellow – Emerging Technologies）
13:30〜14:15	**回路シミュレータHSPICEの最新機能** NTTアドバンステクノロジ（株） 西海 栄一 氏 （CADシステム事業部 回路設計技術部 主任）	**アナログ設計を根本から変えるバルセロナ社の回路合成技術** （株）ソリトンシステムズ	**Super-FinSim Verilog Simulatorの最新機能** （株）アプリスター Alec Stanclescue 氏 （President/Fintronic USA, Inc.）	**EDA環境向け サンの最新プラットフォーム戦略** 伊藤忠テクノサイエンス（株） 当日発表 （当日発表/サン・マイクロシステムズ（株））	**アナログ/ミックスド・シグナルに対するシルバコの取り組みとソリューション** （株）シルバコ・ジャパン Dr. Ivan Pesic 氏 （社長兼CEO）
14:30〜15:15	**ナノメーター設計対応の高速・高精度フィジカル抽出/検証ソリューション** 日本シノプシス（株） 妻藤 一雄 氏 （技術本部 アプリケーション コンサルタント）	**アサーション記述をハードウェアに実装可能なAIdec社のHWアクセラレーション環境** （株）ソリトンシステムズ 伊達 啓次郎 氏 （HDLグループ）	**テーマ：アナログ、ミックスド・シグナル、高度デジタル・ポイント・ツール対応の、短期間のオンデマンドICデザイン・フロー統合ソリューション** E*ECAD Inc. Richard Siemiatkowski 氏 （社長兼COO）	**Apache社製 Power Integrity Tool について** （株）キー・ブリッジ 北原 厚 氏 （Application Engineer/Apache Design Solutions, Inc.）	**コーウェアのシステムレベル設計ツール ConvergenSC、およびプロセッサ開発ツールLISATekの紹介** コーウェア（株） 川原 常盛 氏 （フィールド・アプリケーション＆マーケティンググループ/マネージャ）
15:30〜16:15	**10GビットSERDESソリューション、及び効率良いシステム設計が可能なクロック系＆電源系デバイスの紹介** ラティスセミコンダクター（株） Jock Tomlinson 氏 （Vice President of Applications/Lattice Semiconductor Corporation）	**最新IP製品のご紹介（OTG, UTMI+, PCI-Express）** メンター・グラフィックス・ジャパン（株） 白田 善久 氏 （テクニカルセールス部 IP マネージャー）	**Synchronicityが提案する効率的なデータ管理、プロジェクト管理ソリューション** 伊藤忠テクノサイエンス（株） 渡辺 雄一郎 氏 （EDA技術2グループ）	**ミリオンゲート対応の高速プロパティチェック&高速スーパーリント *ベリフィケーションテクノロジー（株）様・大規模検証サービスの発表*** ゼロインデザインオートメーション（株） 増田 真吾 氏 （デザインベリフィケーションコンサルタント）	**PDKを使用したSDL** （株）シルバコ・ジャパン 桑垣 武司 氏 （CADシニア・アプリケーション・エンジニア）
16:30〜17:15	**RTLからレイアウトまでを網羅したSoCパワー解析/パワー最適化ソリューション** 日本シノプシス（株） 落合 恵一 氏 （技術本部 スタッフ アプリケーション コンサルタント）	**システムレベル検証を加速するアクシス社のDesign Team Emulation** アクシスジャパン（株） 大島 良夫 氏 （COO）	**次世代RFIC設計システムAnalog Office** NTTアドバンステクノロジ（株） 田所 紀彦 氏 （CADシステム事業部 回路設計技術部）		

	第6会場 DM4・定員30名	第7会場 DM6・定員50名	第8会場 E204・定員50名	第9会場 E206・定員50名	第10会場 F202・定員100名
10:30〜11:15			**『C言語ベース設計』をすぐ実践できるXModelink-SystemC Debugger** キャッツ（株） 浅利 康二 氏		
11:30〜12:15	**Hybrid verfication of Timing and Power** （株）エイキャド コーポレーション Andy Huang 氏 （CEO/ACAD Corporation）		**〈スキャン診断におけるLSI内部信号計測〉（時間分解型顕微鏡を用いた 解析の時間短縮）** イノテック（株） Steven Kasapy 氏 （Director of Technical Marketing/Credence Systems Corporation）	**普及期を迎えたSystemCベースの設計メソドロジーに必要となる現実的なツールのご提案** サミット・デザイン・ジャパン（株） 牧野 潔 氏 （代表取締役）	**ケイデンスのCTOによるR&D戦略と最新開発事例** 日本ケイデンス・デザイン・システムズ社 Aki Fujimura 氏 （Chief Technology Officer, New Business Incubation/米国ケイデンス・デザイン・システムズ社）
12:30〜13:15	**EDA新会社設立のご紹介** セイコーインスツルメンツ（株）/（株）ジーダット		**アダプティブ・コンピューティング・マシーン（ACM）の概要** 富士通デバイス（株） 大倉 淳 氏 （技術本部長／クイックシルバー・テクノロジー・ジャパン（株））	**ケイデンスのICデジタル設計ソリューション Encounter Platform** 日本ケイデンス・デザイン・システムズ社 田中 厚 氏 （プロダクト・マーケティング ディレクター）	
13:30〜14:15	**PCI Expressデザイン・インタフェースの設計＆検証手法** デナリソフトウエア（株） 小林 亘 氏 （技術部 技術マネージャ）	**普及段階に入るCMOSマルチギガビット高速インタフェース** 富士通（株） 兼頭 武 氏 （ネットワーク開発部 部長／富士通LSIソリューション（株））	**Sonics社の提供する1000万ゲート時代のSoC開発ソリューション** イノテック（株） 鈴木 一可 氏 （デザインシステム部 主任技師）	**Cadence Incisive Verification Platformのロードマップ** 日本ケイデンス・デザイン・システムズ社 後藤 謙治 氏 （プロダクト・マーケティング シニア マネージャ）	
14:30〜15:15	**SRAMライブラリ作成システム："CharFlo-Memory!"（ケアフルメモリ）** セイコーインスツルメンツ（株）/（株）ジーダット 柿木 利彦 氏	**LSI、PCB一体検証によるPowerIntegrityおよびEMI対策設計** 富士通（株） 登坂 正喜 氏 （テクノロジセンター 回路シミュレーション技術部 課長）	**InTimeの提案するRTLハンドオフフローとそのテクノロジー** イノテック（株） George Janac 氏 （CEO/InTime Software, Inc.）	**スケーラブルなSoC検証環境の構築 —VStationTBX HDLからCベースそしてインサーキットエミュレーションへのスムースな移行—** メンター・グラフィックス・ジャパン（株） 照井 真一 氏 （エミュレータ営業部 技術営業グループ マネージャー）	**Integrated Design Methodology: The only way to design 300M Gates in 65nm** マグマ・デザイン・オートメーション（株） Nitin Deo 氏 （Vice President of Product Marketing/Magma Design Automation Inc.）
15:30〜16:15		**ナノテク時代のSoC検証クライシス打破のカギ"Cedar"上流設計実践のポイント** 富士通（株） 鈴木 康弘 氏 （ディジタルエンジニアリング・ソリューション事業部 担当部長／富士通キャドテック（株））	**〈スキャン診断におけるLSI内部信号計測〉（時間分解型顕微鏡を用いた解析の時間短縮）** イノテック（株） Steven Kasapy 氏 （Director of Technical Marketing/Credence Systems Corporation）	**Virtuosoカスタム設計プラットフォームのご紹介** 日本ケイデンス・デザイン・システムズ社 岸本 毅 氏 （プロダクト・マーケティング マネージャ）	**The True Story; 10M gate design in 4 weeks** マグマ・デザイン・オートメーション（株） 陳 暁 氏 （シニア アプリケーション エンジニア）
16:30〜17:15			**DAP/DNAダイナミック・リコンフィギュラブル・プロセッサが作り出す次の潮流** アイピーフレックス（株） 佐藤 友美 氏 （取締役副社長・CTO）	**Cadence DFM Strategy - toward Manufacturing Closure and Cost reduction** 日本ケイデンス・デザイン・システムズ社 Adolph Hunter 氏 （Group Director of Marketing, Design for Manufacturing/米国ケイデンス・デザイン・システムズ社）	

※プログラムに変更が生じる場合がありますので、あらかじめご了承ください。最新情報はWEBにてご確認ください。