	第1会場	第2会場	第3会場	第4会場	第5会場
	C11・定員50名	CM3・定員30名	DM1・定員30名	DM2・定員30名	DM3・定員50名
10:30〜11:15	**非同期マルチクロックドメイン検証の進化形〜Verix CIV** (株)スピナカー・システムズ 矢ヶ部 常義 氏 (EDAビジネス部 エンジニア)	**TeraForm設計フロー応用例 IBM社における実例「IBM社 ASIC RTL ハンドオフ・フロー」** 日本テラ・システムズ(株) 宇佐見 淳 氏 (テクノロジー事業部 マイクロエレクトロニクス ASICデザインセンター 副主任／日本アイ・ビー・エム(株))	**OpenAccess Allows Interoperability of EDA Tools and an Integrated Design Flow - Deployment Success in End- User Companies** Silicon Integration Initiative Steve Schulz 氏 (President and CEO)	**仏Tementoシステムズ社によるFPGAオンチップデバッガDiaLiteのご紹介** プロトタイピング・ジャパン(株) Patrice Deroux-Dauphin 氏 (社長兼CEO/仏Temento社)	
11:30〜12:15	**業界最大のIPライブラリDesignWareを用いたSoC設計/検証ソリューション** 日本シノプシス(株) 木下 仁 氏 (技術本部 シニア アプリケーション コンサルタント)	**テラ・システムズ社の提供するシリコン・バーチャル・プロトタイプ環境と新製品TeraForm-Expert** 日本テラ・システムズ(株) 横井 浩 氏 (FAEマネージャ)	**特定プロトコルに特化した高効率フォーマル・プロパティ・チェック AMBA、OCPを例にしたプッシュボタン検証** 日本トランスEDA(株) 兼平 靖夫 氏 (代表取締役社長)	**VHS(ベリフィケーション・ホットスポット)によるSoC高品質検証 *株式会社富士通様実例発表*** ゼロインデザイン オートメーション(株) 朽木 順一 氏 (デザインベリフィケーションコンサルタント)	**ISSPによるT−Engineの短TAT開発事例紹介** NECエレクトロニクス(株) 赤平 治 氏 (システム本部 プラットフォーム設計部/(株)日立超LSIシステムズ)
12:30〜13:15	**PrimeTimeとPrime Time SIを用いた最新スタティックタイミング・シグナルインテグリティ・ソリューション** 日本シノプシス(株) 桂田 陸平 氏 (技術本部 シニア アプリケーション コンサルタント)	**10GビットSERDESソリューション、及び効率良いシステム設計が可能なクロック系&電源系デバイスの紹介** ラティスセミコンダクター(株) Jock Tomlinson 氏 (Vice President of Applications/Lattice Semiconductor Corporation)	**アサーション記述をハードウェアに実装可能なAIdec社のHWアクセラレーション環境** (株)ソリトンシステムズ 伊達 啓次郎 氏 (HDLグループ)	**PCI Expressデザイン・インタフェースの設計&検証手法** デナリソフトウエア(株) 小林 亘 氏 (技術部 技術マネージャ)	**Scholar - Analog Artist、ViewDraw、ORCAD/PSP ICEフロントエンド・ツールの最適な代替ツールとなるスケマティック入力ソフトウェア** (株)シルバコ・ジャパン 長谷川 敦 氏 (CADシニア・アプリケーション・エンジニア)
13:30〜14:15	**シグナルインテグリティの諸問題の解析・予防・修正を実現するGalaxy-SIソリューション** 日本シノプシス(株) 小林 宏行 氏 (技術本部 シニア アプリケーション コンサルタント)	**米国Dini Group大規模FPGAプロトタイプ・ボードについて** (株)アプリスター Mike Dini 氏 (President/The Dini Group)	**アナログ設計を根本から変えるパルセロナ社の回路合成技術** (株)ソリトンシステムズ	**VHDL-AMSシミュレータ、SABERHDLの紹介** NTTアドバンス テクノロジ(株) 扇原 利英 氏 (CADシステム事業部 回路設計技術部)	**GBps伝送時代のプリント基板設計技術とパワーインテグリティー** アンソフト・ジャパン(株) 渡辺 亨 氏 (SIプロダクトグループ シニアスタッフエンジニア)
14:30〜15:15	**JPEG2000マクロを使用したシステム適用事例** 富士通デバイス(株) 鈴木 雅三 氏 (技術本部 システムLSI部・プロジェクト課長)	**世界をリードするSarnoff社のConsumer Electronic IP ソリューション** 伊藤忠 テクノサイエンス(株) 沢口 征雄 氏 (インダストリアル・エンジニアリング営業部)	**Introducing PICO, new algorithm to tapeout synthesis** (株)キー・ブリッジ Simon Napper 氏 (CEO/Synfora, Inc.)	**ミリオンゲート対応の高速プロパティチェック&高速スーパーリント *ベリフィケーションテクノロジー(株)様・大規模検証サービスの発表*** ゼロインデザイン オートメーション(株) 増田 真吾 氏 (デザインベリフィケーションコンサルタント)	**SmartCellで作成したSoCデザイン向けの、効率的な標準セル・キャラクタライゼーションおよびモデリング** (株)シルバコ・ジャパン Kenneth Brock 氏 (副社長兼マーケティング部長/シルバコ・インターナショナル)
15:30〜16:15	**Software to Silicon: 超短TATを可能にするダイナミック・リコンフィギュラブル・プロセッサとその開発環境** アイピーフレックス(株) 菅波 憲一 氏 (テクニカルマーケティングエンジニア)	**システムレベル検証を加速するアクシス社のDesign Team Emulation** アクシスジャパン(株) 大島 良夫 氏 (COO)	**高速・高精度、次世代回路シミュレータ:Nexximの紹介** アンソフト・ジャパン(株) 中谷 彰文 氏 (ビジネスマネージャー/アンソフト・コーポレーション)	**ナノメータ世代のDFTソリューションとテスト品質について** メンター・グラフィックス・ジャパン(株) 坂尻 達雄 氏 (テクニカルセールス部 SoC設計検証グループ マネージャー)	**クロック系&電源系設計のプログラマブル・ソリューション** ラティスセミコンダクター(株) Jock Tomlinson 氏 (Vice President of Applications/Lattice Semiconductor Corporation)
16:30〜17:15	**Discovery ベリフィケーション・プラットフォームなくして SoC 検証に未来なし〜シノプシスの提供する検証ソリューション** 日本シノプシス(株) 佐藤 克也 氏 (技術本部 シニア アプリケーション コンサルタント)	**「Enterprise Grid Computing構築のためのPlatform LSF Workload Accelerator のご紹介」** プラットフォーム コンピューティング(株) 北邑 剛 氏 (プロダクト・マネジメント・マネージャー)		**スウェーデンHARDI社による超高速・高信頼性の最先端ASICプロトタイピングシステムのご紹介** プロトタイピング・ジャパン(株) Lars-Eric Lundgren 氏 (社長兼CEO/スウェーデンHARDI社)	

	第6会場	第7会場	第8会場	第9会場	第10会場	第11会場
	DM4・定員30名	DM6・定員50名	E204・定員50名	E206・定員50名	F202・定員100名	F201・定員100名
10:30〜11:15			**普及期を迎えたSystemCベースの設計メソドロジーに必要となる現実的なツールのご提案** サミット・デザイン・ジャパン(株) 牧野 潔 氏 (代表取締役)	**次世代SiPに対応する、ハイパフォーマンス・モジュール設計ソリューション** 日本ケイデンス・デザイン・システムズ社 益子 行雄 氏 (プロダクト・マーケティング シニア マネージャ)		
11:30〜12:15	**シミュレーション・アクセラレータTharas社Hammerによる大規模回路の検証ソリューション** 丸紅ソリューション(株) (株)東芝 セミコンダクター社	**Windows版アナログ・ミックスシグナルIC設計ソリューションTanner Tools PRO** タナーリサーチジャパン(株) Massimo A. Sivilotti 氏 (Ph.D. Chief Scientist /Tanner Research, Inc.)	**〈スキャン診断におけるLSI内部信号計測〉(時間分解型顕微鏡を用いた解析の時間短縮)** イノテック(株) Steven Kasapy 氏 (Director of Technical Marketing/Credence Systems Corporation)	**ケイデンスの新テスト設計ソリューション Encounter Test** 日本ケイデンス・デザイン・システムズ社 安達 一朗 氏 (カスタマーテクニカルサービス本部 セールステクニカルリーダー)	**90ナノメータ設計のあらゆる問題への統合ソリューション、Galaxyデザイン・プラットフォームによる統合設計環境** 日本シノプシス(株) 奥田 直哉 氏 (技術本部 シニア マネージャー)	**Scalable Verificationのコア ModelSimによる検証講座** メンター・グラフィックス・ジャパン(株) 三好 俊也 氏 (テクニカルセールス部 スペシャリスト)
12:30〜13:15	**Hybrid verfication of Timing and Power** (株)エイキャド コーポレーション Andy Huang 氏 (CEO/ACAD Corporation)	**最新の3次元電磁界解析技術とその応用** (株)エー・イー・ティー・ジャパン 清野 幹雄 氏 (技術部本部長)	**進化を続けるFPGA:アルテラ技術と製品ロードマップ** 日本アルテラ(株) 堀内 伸郎 氏 (マーケティング部 プロダクトマーケティング マネージャー)	**ケイデンスの論理合成ツール RTL Compiler** 日本ケイデンス・デザイン・システムズ社 道木 養一 氏 (エキスパート・ユーザーズ・グループ アプリケーション エンジニア)		
13:30〜14:15	**EDA新会社設立のご紹介** セイコー インスツルメンツ(株)/(株)ジーダット	**Spec to RTL: Verilog、VHDL、C/C++、SystemCによるSoC開発環境のご紹介** メンター・グラフィックス・ジャパン株式会社 柴下 哲 氏 (テクニカルセールス部 SoCデザイン&ベリフィケーション・デザイン マネージャー)	**Forte Design Systems社が提供する次世代SystemCベース設計環境** イノテック(株) Andy Doodrich 氏 (Fellow/Forte Design Systems Inc)	**回路シミュレータHSPICEの最新機能** NTTアドバンス テクノロジ(株) 西海 栄一 氏 (CADシステム事業部 回路設計技術部 主任)	**ASPLA 90nmプラットフォーム構築の現状** (株)半導体理工学研究センター 中野 富男 氏 (執行役員CMO/(株)先端SoC基盤技術開発)	**How to enable significant reduction of ASIC design and manufacturing cost without compromising quality of results** マグマ・デザイン・オートメーション(株) Behrooz Zahiri 氏 (Director of Business Development/Magma Design Automation Inc.)
14:30〜15:15	**SRAMライブラリ作成システム:"CharFlo-Memory!"(ケアフルメモリ)** セイコー インスツルメンツ(株)/(株)ジーダット 柿木 利彦 氏	**HW/SWコ・デザイン。μITRON+FPGA 開発環境に CtoRTL 設計技術を適用 〜高位合成ツール eXCite を用いた組込みシステム設計環境〜** (株)ソリトンシステムズ (SOC 技術推進部)	**@HDL社の提供する先進のアサーションベース検証環境** イノテック(株) Richard Curtin 氏 (CTO/米国 @HDL社)	**アナログミックス検証でのビヘイビアモデルアプローチ** メンター・グラフィックス・ジャパン(株) 三木 研吾 氏 (テクニカルマーケティング部 シニアスペシャリスト) 上田 雅生 氏 (テクニカルセールス部 シニアスペシャリスト)		**How predictable is your design flow?** マグマ・デザイン・オートメーション(株) Howard Landman 氏 (Design Consultant)
15:30〜16:15		**『Software Compiled System Design』を適用したC言語設計メソドロジー** 伊藤忠 テクノサイエンス(株) 河合 恵介 氏 (EDA技術1グループ)	**〈スキャン診断におけるLSI内部信号計測〉(時間分解型顕微鏡を用いた 解析の時間短縮)** イノテック(株) Steven Kasapy 氏 (Director of Technical Marketing/Credence Systems Corporation)	**ConvergenSCとSPWを用いたトップダウン設計とボトムアップ検証** コーウェア(株) ルーウィ・ヴァレニュ 氏 (技術本部/スタッフ・カスタマー・アプリケーション・エンジニア)	**Verilog-HDL誕生19年目の大きな正常進化 —SystemVerilog** 日本シノプシス(株) 明石 貴昭 氏 (技術本部 スタッフ アプリケーション コンサルタント)	**SystemCによる設計手法確立のための問題点と記述スタイル** (株)エッチ・ディー・ラボ 長谷川 裕恭 氏 (代表取締役)
16:30〜17:15				**Cadence Incisive Verification Platformのロードマップ** 日本ケイデンス・デザイン・システムズ社 後藤 謙治 氏 (プロダクト・マーケティング シニア マネージャ)	**論理合成およびテスト設計におけるベスト—イン—クラス統合ソリューション** 日本シノプシス(株) 長谷川 達之 氏 (技術本部 シニア アプリケーション コンサルタント)	

※プログラムに変更が生じる場合がありますので、あらかじめご了承ください。最新情報はWEBにてご確認ください。