
CALL FOR PAPERS
第 11 回 FPGA/PLD Design Conference ユーザ・プレゼンテーション
会場:パシフィコ横浜
会期:2004 年 1 月 29 日(木) ~ 30 日(金)

FPGA/PLD をテーマとした日本で唯一のコンファレンスである「FPGA/PLD Design Conference」はシステム LSI, FPGA/PLD, 設計ツール, 設計サポート関連製品の展示会である「Electronic Design and Solution Fair」と同時開催することで、広く FPGA/PLD に関するデバイス技術、設計技術、開発支援や応用の各分野にわたる研究開発動向を一望できる交流の場となっています。

特に前回の第 10 回に行われた「ユーザ・プレゼンテーション」では特に優秀であったプレゼンテーションに対し、優秀論文賞 1 件、審査員特別賞 1 件が表彰されました。昨年度の「ユーザ・プレゼンテーション」実施内容は昨年度の開催報告(<http://www.edsfair.com/2003>)に掲載されていますのでぜひご覧ください。

次回開催されるユーザプレゼンテーションでは、従来の研究発表に加え、本コンファレンスの特長である各種設計事例、実アプリケーションの紹介、および、設計ノウハウに重きをおいた発表によりいっそう力を入れて行きたいと思えます。特に下記トピックスについて研究発表を募集いたしますが、これにとらわれることなくシステム LSI 設計・開発・応用など関係深い分野でありましたら広く歓迎いたします。奮ってご投稿下さい。

テーマ：FPGA/PLD の設計事例・設計・開発支援・応用技術・デバイス

FPGA/PLD を用いたキラーアプリケーション
FPGA/PLD を用いた各種アプリケーション設計事例
FPGA/PLD の回路設計技術(高速 I/O、高集積設計などの設計事例)
FPGA/PLD の CAD/DA 技術(既存 CAD/DA の利用技術、新しい CAD/DA 技術)
FPGA/PLD 対応 IP による利用実例や開発支援技術
IP、VSI を活用したシステム・オン・チップの利用実例や開発支援技術
エンベデッド・コアを持つ FPGA/PLD の利用法
エミュレーション技術とラピッド・プロトタイピング
エンベデッド向けコンパイラ技術
リコンフィギャラブル・コンピューティング
ハードウェア/ソフトウェア・コデザイン
FPGA/PLD のデバイス・アーキテクチャ
進化するハードウェア
その他

投稿方法

以下の要領にしたがって電子メールにて発表申込書をお送りいただいた後、審査用発表概要をお送りください。お送りいただいた発表概要はプログラム委員会にて厳正に審査を行い採録の判定を行います。採録が決定後予稿集用カメラレディ原稿を送付してください。なお、投稿の日程は以下のようになっています。

発表申込書の送付期限：	2003 年 10 月 1 日(水)
審査用発表用概要の送付期限：	2003 年 10 月 15 日(水)
採録通知送付予定：	2003 年 11 月 14 日(金)
カメラレディ原稿の送付期限：	2003 年 12 月 19 日(金)

発表申込書書式

論文の題目、著者名(共著者を含む)、所属、300文字程度の発表概要、キーワード3個以内、連絡先(住所、氏名、電話番号、FAX番号、電子メールアドレス)を記載した発表申込書を作成し、電子メールにて発表申し込み先までお送りください。なお、申込フォーム(テンプレート)が必要な方は下記の問い合わせ先にご請求下さい。

審査用発表概要書式

論文の題目、著者名(共著者を含む)、所属に加え、研究の技術的内容に加えて、研究の目的、重要性、新規性、実用性を明らかにした発表概要を、題目と図表を含めて必ずA4版4頁以内にまとめて記載して下さい。審査用発表概要により審査を行いプログラム委員会にて採録を決定します。審査用発表概要はPDF形式で提出をお願いします。PDF形式を作成することが難しい場合は別途問い合わせ先までご相談ください。

予稿集掲載のカメラレディ原稿

採録決定後に予稿集掲載の形態として通常の論文形式、および、発表に使用されるパワーポイントなどのOHPスライドをそのまま予稿集に掲載する形式の2つを選択することが可能です。なお、発表件数が非常に多い場合、ショートペーパーとして掲載していただく場合もあります。

表彰

昨年度に引き続き本年度も、プログラム委員会、および、聴衆による投票によって優秀プレゼンテーションを選出し、表彰および、記念品の贈与を行います。なお、本表彰とは別に発表者にはもれなく「FPGA/PLD Design Conference」のチュートリアル1回受講券を贈呈いたします。

発表申込先(問い合わせ先)

〒105-0012 東京都港区芝大門1-12-16 住友芝大門ビル2号館5F
日本エレクトロニクスショー協会
担当：吉永、菊嶋
電話：03-5402-7601 FAX：03-5402-7605
E-mail: users.info@jesa.or.jp

主催：第11回FPGA/PLD Design Conference 実行委員会
社団法人電子情報技術産業協会 (JEITA)

協力：Electronic Design Automation Consortium (EDAC)

後援予定：経済産業省、アメリカ合衆国大使館 商務部、外国系半導体商社協会 (DAFS)、横浜市

協賛予定：社団法人電子情報通信学会 (IEICE)、社団法人情報処理学会 (IPSJ)、
社団法人日本プリント回路工業会 (JPCA)

運営：日本エレクトロニクスショー協会