

IP名: JPEGハードコア
分野: 画像処理

試作: Xilinx社
Virtex 50MHz,
8000SLICE以内 (暫定)

IP提供形態:
コンパイル後オブジェクト

有償にて公開:
価格未定

(株)沖ネットワークエルエスアイ
IPソリューション開発本部
真壁 靖博
中島 博司
萩尾 正己

準拠する規格

- ・ISO/IEC IS 10918-1 | ITU-T Rec.T.81 | JIS X4301-1995
- ・ISO/IEC IS 10918-2 | ITU-T Rec.T.83 | JIS X4302-1996

機能:

- ・基本DCT方式
- ・画像フォーマット(Y:Cb:Cr) 4:4:4, 4:2:2, 4:1:1, 4:2:0, 4:0:0
- ・画像サイズ VGA, SVGA, XGA, SXGA, UXGA, HDフルサイズ
- ・各コンポーネント8ビットサンプリング
- ・処理スループット 130フレーム/秒のエンコード、デコード(VGAにて)
- ・Y:Cb:Cr R:G:B組込み
- ・量子化テーブル2面
- ・基本ハフマン符号テーブル
- ・電子透かし(オプション)
- ・設定値は全てデフォルト値を持ち、また動作においてプロセッサリソースを必要としない
- ・処理バッファ内臓により、画像スキャンデータを直接入力可能(ブロックインターリーブ化不要)

PR

本IPコアは、ブロックインターリーブ処理のIPではなく、ストリームデータの映像スキャンデータを直接処理するハードウェアIPコアである。

JPEGの場合の8x8画素ブロックインターリーブ処理を持つハードコアを使用したのでは、ストリームデータから8x8の処理単位のデータを切り出してこなくてはならず、一般的にはこれらの処理はプロセッサによるソフト的な処理や、あるいは別ハードを設計し具備させなければならない。

そのため、LSIにインテグレーションする場合には、インタフェースを合わせるためのカスタマイズが必要となり、ユーザの視点から見ると不便である。

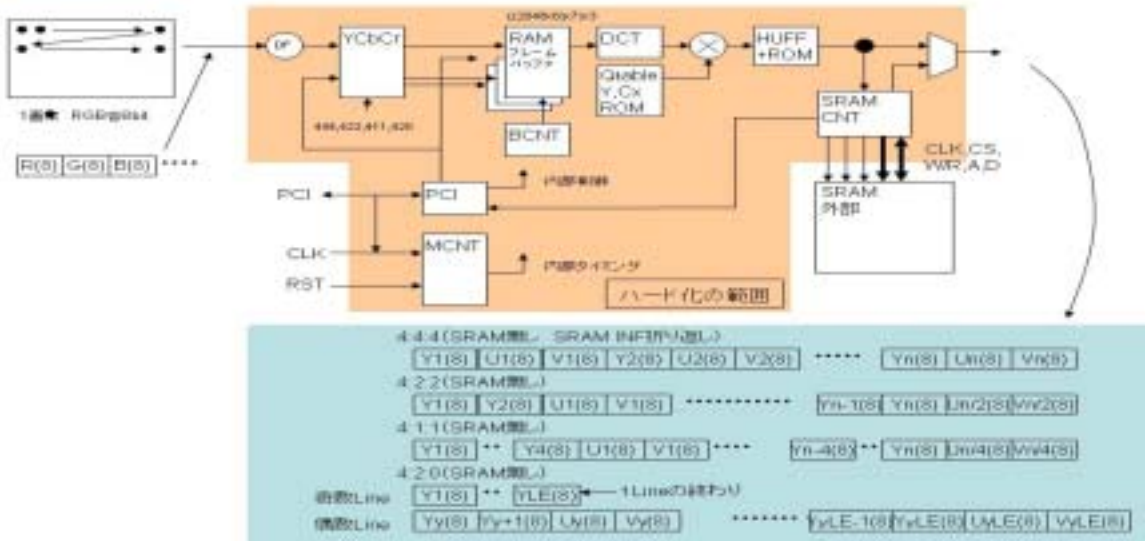
今回開発したIPコアは、画像データの通常の入出力であるスキャンストリームを処理できるよう最適化したものである。

したがって、本コアを使用するユーザにとってのインタフェース作りこみ等に要する設計リソースの削減、かつJPEG画像処理をCPUリソースを削減し実現する。

JPEGハードコアIP ブロック図

VGA	SVGA	XGA	SXGA	UXGA	HDサイズ
640x480	800x600	1024x768	1280x1024	1600x1200	1920x1200

エンコード部



デコード部

