

(1) 設計支援ツール名 : SLDS (Simple Logic Design System)

(2) 分野: 浮動小数点演算器の設計

(3) 開発者: Alif Fadzli, 埜 敏博

(4) 機能説明:

SLDS は YHP システム技術研究所と Hewlett Packard 社の研究所の論理合成プロジェクトチームとのジョイントプロジェクトによって開発されたシステムである。

SLDS では、ライブラリからコンポーネントと呼ばれるグラフィックで表示された基本部品群を呼び出し、それらを配線することにより設計を行なう。SLDS ではコンポーネントのビット幅を変更することにより、多ビットの回路を簡潔に表現することができる。完成した回路を検証するため、2つのシミュレーション方法が用意されている。

- ・ インタラクティブモード : イベント毎に入力シグナルの値を指定して結果をみていく。
- ・ 仮想計測モード : 回路を仮想チップと位置づけて仮想計測器群(VI)を用いたシミュレーションを行う。

本研究で設計した浮動小数点演算器は単精度形式で加算、減算、乗算、除算を行う。この演算器は、以下のような6段のパイプライン構成となっている。

- ・ Compare Stage : 加減算の場合、各オペランドの指数部の大きさを比較し、その差を求めて Shift Stage に送る。
- ・ Checksign Stage : 各オペランドの符号をチェックする。
- ・ Shift Stage : Compare Stage で比較したオペランドの小さいほうを Compare Stage から送られて来た値に従い右へシフトする。
- ・ Arithmetic Stage : このステージで演算を行う。
- ・ Normalize Stage : 演算結果を正規化する。
- ・ Rounding Stage : 丸めを行う。

(5) システム構成図:

一般に浮動小数点は次の3つのデータで数値を表現する。

$$(-1)^s \times (1+F) \times 2^{E-\text{Bias}}$$

- ・ s は符号部(1ビット)
- ・ F は仮数部(符号なし整数)
- ・ E は指数部(符号付き整数)

0	1	8	9	31
s	exponent		significant	

図1 単精度の浮動小数点

SLDS を用いて浮動小数点演算回路の設計を行なう。ここでは単精度形式の浮動小数点演算について説明する。

ライブラリから使用可能なコンポーネント :

- ・ Bus divider
- ・ Magnitude comparator
- ・ ALU
- ・ バレルシフタ

最初は各オペランドを bus divider で分ける。各オペランドは G.S.R. を付加する。オペランド A とオペランド B の指数部の値を比較する。ここで magnitude comparator を使用する。Magnitude comparator の結果をマルチプレクサに入力し、どちらのオペランドの指数部をどれだけシフトすればよいが分かる。その前に符号の値をチェックする。負の数の場合はそのオペランドの仮数部を否定する。その結果を右シフトに入力し、小さい方の値の仮数部を大きい値の仮数部と一致するまで右にシフトする。オペランド A とオ

ペランド B の仮数部を加算，減算，乗算または除算を行い，合計を正規化する。
Rounding hardware を使用し、仮数部をビットの適切な数に丸め。結果が $1 + F$ の形になるようにする。これを正規化と呼ぶ。

(6)動作環境：

SLDS は Linux(Redhat Linux)と Mac OS X(Panther)上で動作する。SLDS は動作するために X11 と LessTif の環境が必要である。またシミュレーションプログラムを生成/コンパイルするためには c/c++ の開発環境がシステムにインストールされている必要がある。

(7)PR 内容：

SLDS ではグラフィカルで抽象度の高い、ブロックダイアグラムによる設計方法が用意されており、HDL を用いるのに比べて直感的に設計を行なうことができる。

(8)無償公開：

SLDS は <http://www.wishbank.org> で公開されている。

(9)連絡先：

東京工科大学 コンピュータサイエンス学部
埴 敏博 hanawa@cc.teu.ac.jp

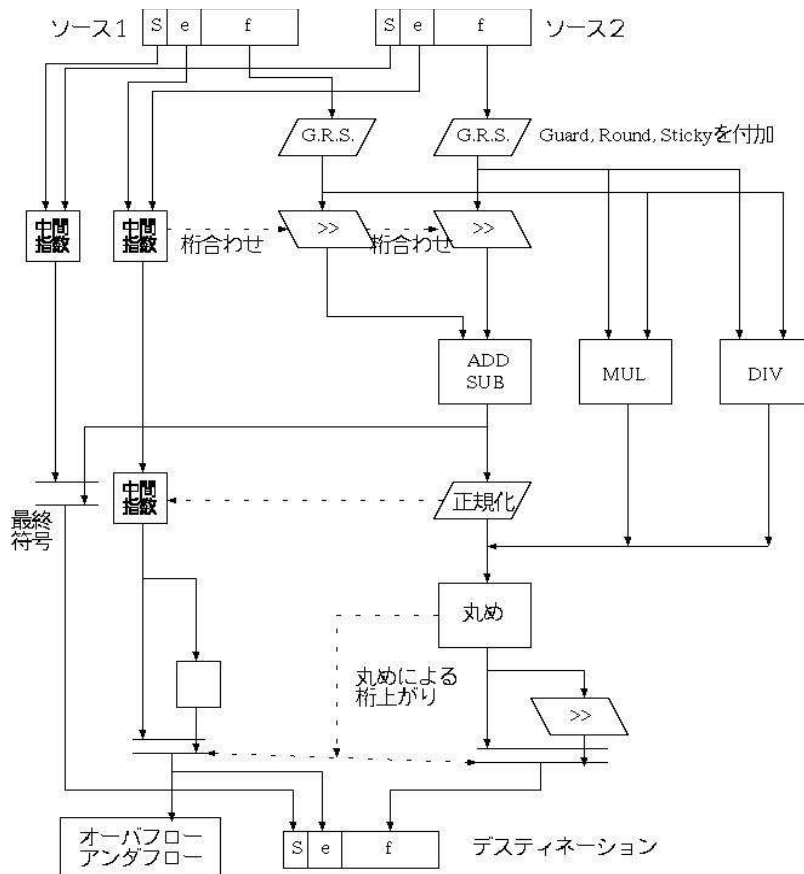


図 2 FPU の構成