

- (1) IP 名 SFL を用いた MIPS32 プロセッサ
- (2) 分野 マイクロプロセッサ
- (3) 開発者 弥城 農、埴 敏博 (東京工科大学)
- (4) IP の規格

機能として、MIPS32 命令セットアーキテクチャに対応した命令を実行することができる。

このマイクロプロセッサは、R3000 に似た、5 段のパイプライン構成のプロセッサとなっている。図 1 に図を示す。

各ステージの機能として、IF ステージでメモリから命令を取り出し、同時にプログラムカウンタの更新を行う。

次に RR ステージでは、命令のタイプ毎に、レジスタのデータを読み出す、書き込むためのレジスタを指定する、イミディエートをレジスタに格納するという処理を行う。

EX ステージでは、命令毎に対応した処理を行う。

MA ステージでは、ロード・ストア命令の場合のみ、メモリにアクセスし、データを読む、書き込むという処理を行う。それ以外の命令の場合は、何も処理を行わない。

RW ステージは、指定されたレジスタにデータを書き込む処理を行う。

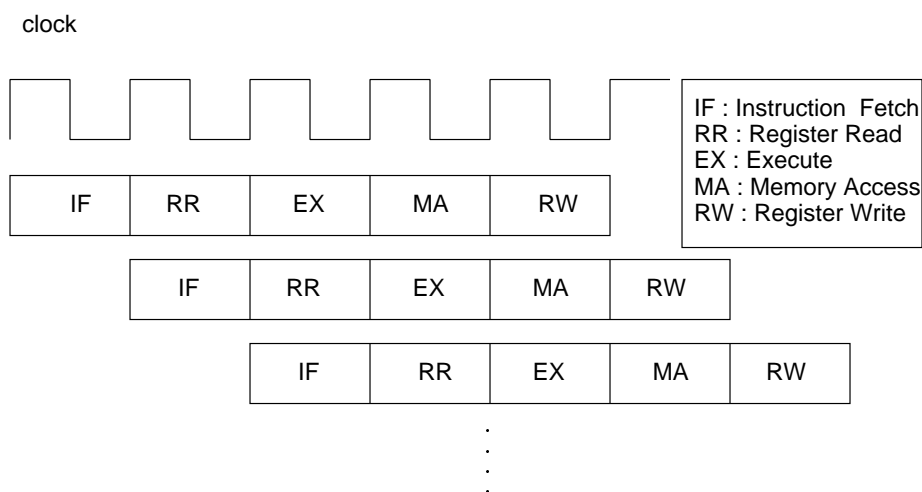


図 1: パイプライン構成

以上のような機能を持ったステージで、MIPS32 命令セットアーキテクチャに対応した命令の処理を行う。また、サポートしている命令として、R3000 で使用されている命令の中から、基本的な命令、また利用頻度が高いと思われる命令をサポートしている。また、フォワーディング機能を実装し、処理速度の低下を防いでいる。

本 IP では、ADDIU 命令等における例外処理、また乗算、除算については実装していない。

- (5) IP のブロック図

図 2 に示した本 IP のブロック図について説明する。

Instruction Fetch は、IF ステージを示し、プログラムカウンタの更新、次の命令の読み出しを行う。

Register は、RR, RW ステージを示す。RR ステージでは、Instruction が示すレジスタからデータを読み出し、RW ステージでは、ALU Result, Mem Read Data をレジスタに書き込む。

Execute は、EX ステージを示す。演算命令であるなら ALU result, Load/Store 命令であるなら, Read/WriteAddress, 分岐/ジャンプ命令であるなら, Branch Address を出力する。

MA ステージは、DMem となっている箇所を示す。このとき、Load/Store 命令であった場合のみアクセスされ、Load 命令ならデータを読み出し、Store 命令ならデータを書き込む。

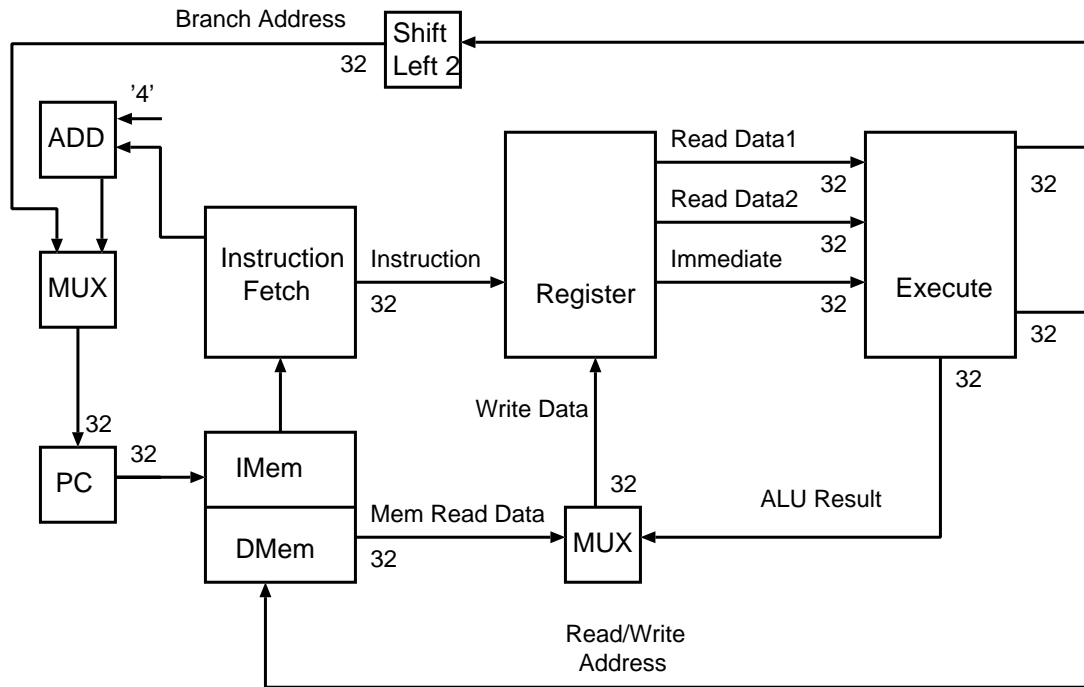


図 2: IP のブロック図

(6) 外部インターフェースの規定

特になし

(7) IP 提供の形式

HDL ソースファイル

(8) FPGA/PLD 動作の有無

なし

(9) PR

- ・ SFL 記述であること

回路設計の知識がなくても、どのような動作をするのかが理解しやすい。

- ・ 5 段パイプライン

基本的な構造となっているので、理解しやすい。

- ・ フォワードリング

処理速度の低下防止として実装。

(10) 無償公開

(11) 連絡先

〒 192-8580 八王子市片倉町 1404-1 東京工科大学

コンピュータサイエンス学部 埜 敏博

Tel/Fax 0426-37-2692