

ストリーミング向け MPEG-4 ASP コーデック IP

株式会社シンセシス

1. 名称

ストリーミング向け MPEG-4 Simple Profile/Advanced Simple Profile コーデック IP

2. 分野

動画像符号化

3. 開発者

株式会社シンセシス

4. 機能概要

- VOP レイヤ以下の処理を全て専用回路で実現
- SP、ASP の2つのコンフィグレーション
- ビットストリームに著作権情報を電子透かしとして埋め込み可能
- 電子透かしを用いた独自方式による伝送エラーの検出、リカバリー機能(無線ネットワークでも高い画像品質を実現)
- 将来的には H.264 デコーダ(Baseline Profile, CIF 対応)および MPEG-2 デコーダ(SD 対応)をオプションとして搭載可能
- 上記デコーダ追加時にはシングルチップで H.264 MPEG-4 および MPEG-2 MPEG-4 のリアルタイムトランスコードをサポート
- 小消費電力携帯向け Simple Profile、QCIF 対応コーデック(SP)も提供可能

表 1 諸元

	SP(携帯向け)	ASP(SD 対応)
対応フォーマット	MPEG4 Simple Profile H.263	MPEG-4 Advanced Simple Profile* H.264 (オプション)
最大解像度	QCIF	SD (progressive/interlace)
フレームレート	15fps@13.5MHz	30fps@54MHz

* global motion compensation, 1/4pel motion compensation には非対応

5. ブロック図

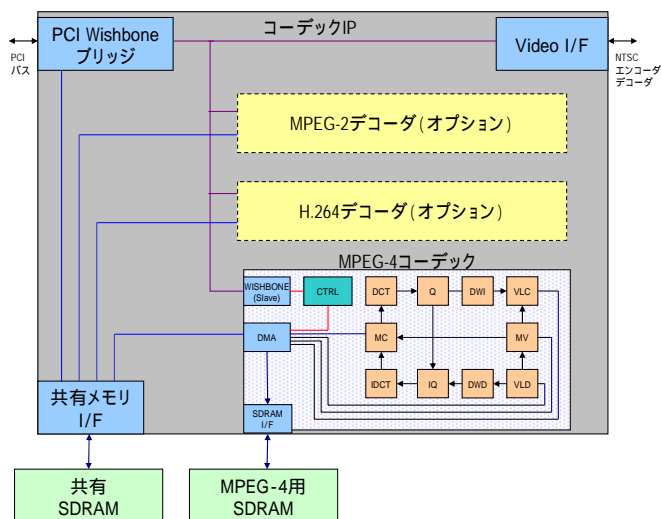


図 1 コーデック IP の構成例

MPEG-4 コーデック、H.264 デコーダ単体でも使用可能
顧客のニーズに合わせて外部 I/F をカスタマイズ可能

6. 外部インターフェイス (一例)

表 2 外部インターフェイス

名称	仕様、接続先	備考
video in	NTSC デコーダ	PCI バスから画像入力も可
video out	NTSC エンコーダ	PCI バスへの画像出力も可
PCI I/F	32 bit, 33MHz 3.3V	スレーブのみ 制御および画像/ビットストリームの入出力
SDRAM	128Mbit 108MHz SDRAM	2系統

顧客のニーズに合わせてカスタマイズ可能

7. 提供形式

Verilog RTL ソースコードまたはネットリスト

8. 動作実績

- Simple Profile QCIF 対応のコーデックは FPGA ボードにて検証済み (現在提供可能)
- ASP 対応コーデックは現在開発中 (平成 16 年度中に FPGA ボード上で検証終了予定)。
- H.264 デコーダ部については平成 17 年度 3Q (10 月 ~ 12 月)に完成予定

9. 特長

MPEG-4 Advanced Simple Profile 対応

現在市場にでている MPEG-4 コーデック LSI は Simple Profile 準拠のものが一般的である。それに対して、本 IP では、Advanced Simple Profile のサブセットに対応することにより、圧縮効率の改善および PC との互換性の向上を実現している。

専用回路による実装

本 IP では、MPEG-4 ビットストリームの VOP レイヤ以下の全ての処理を専用回路で実現している。特に携帯電話などの低消費電力が必要とされる用途においては、メディアプロセッサ、DSP などよりも適している。

電子透かしによる著作権保護機能

インターネット上におけるストリーミング放送の普及に伴い、コンテンツの著作権保護は重要な課題となってきた。本 IP では、符号化時に著作権保持者の識別 ID を量子化後の DCT 係数に資格的に判別しにくい微小な変更を加えることによって埋め込むことができる。また、復号化時には、ビットストリームに埋め込まれた電子透かしデータの抽出も可能である。

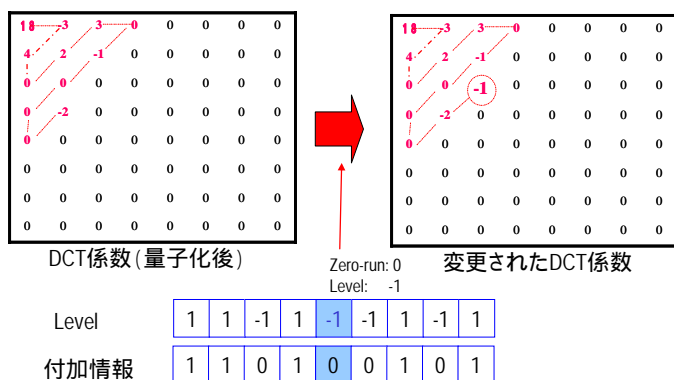


図 2 DCT 係数への電子透かしの埋め込み

エラーリカバリー機能

無線通信やインターネットでの動画像伝送においては、伝送路上で符号化エラーが発生した場合、エラーはフレーム内や後続フレームに伝播し、画質を大きく劣化させる。しかし、エラーを検出してエラー部分を隠蔽できれば画質劣化の低減が可能である。従来、エラー検出の手法としては、シンタックス違反や例外によるものが一般的であったが、これらの方式ではエラーの正確な検出は困難である。本 IP では、電子透かしを利用してビットストリーム中にマクロブロックヘッダ、動きベクトル、および DCT 係数のエラー検出を助ける特徴情報を含めることによってエラー検出能力を向上させている。これにより、従来のシンタックス方式に対して約 4 倍のエラー検出率の向上を実現している。

また、エラー検出用の特徴情報は電子透かしとしてビットストリームに埋め込んでいるため、提案方式に対応していない機器でもデコードが可能である。

リアルタイムトランスコード

本 IP に、オプションの H.264 デコーダを追加することにより、1チップで携帯用地上デジタルテレビ放送などの H.264 ビットストリームから MPEG-4 へのリアルタイムトランスコードが可能となる。また、将来的には本 IP に搭載可能な MPEG-2 デコーダコアの提供も予定している。

10. 価格

提供形態および契約条件により異なる。

11. 連絡先

株式会社シンセシス

〒562-0036 大阪府箕面市船場西 2-1-11

エリモセンタービル 13F

TEL: 072-727-8162

FAX: 072-727-8163

E-mail: info@synthesis.co.jp

本 IP を構成する主要技術は独立行政法人新エネルギー・産業技術総合開発機構 (NEDO 技術開発機構) 助成事業として現在開発が進められている。