

(1) IP 名 :  
デジタル音声遅延 IP

(2) 分野 :  
デジタルオーディオ、HDTV、監視カメラシステム

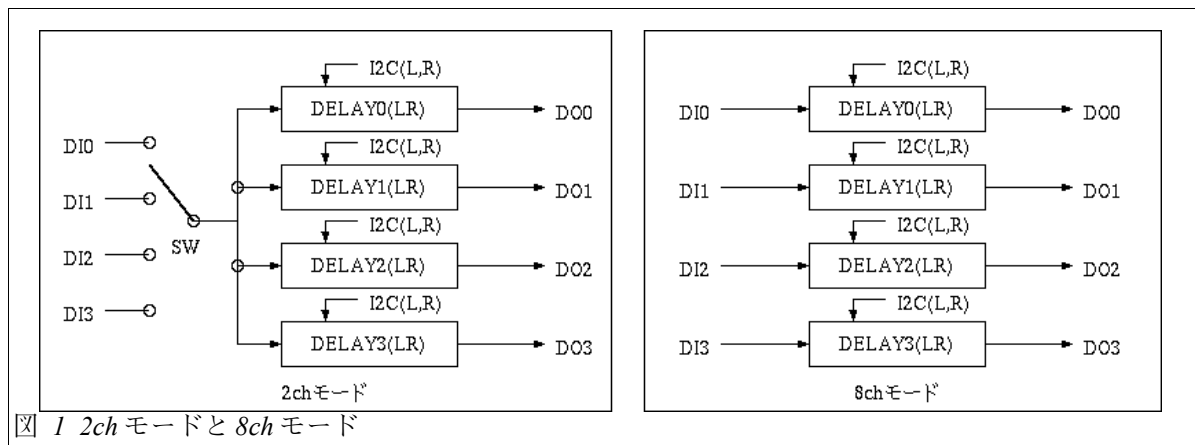
(3) 開発者 :  
日本電素工業株式会社

(4) 機能説明 :  
本 IP は、AV システムなどにおいて音声を遅らせ画像と「リップシンク」を取ったり、サラウンド効果調節を行なうためのものです。

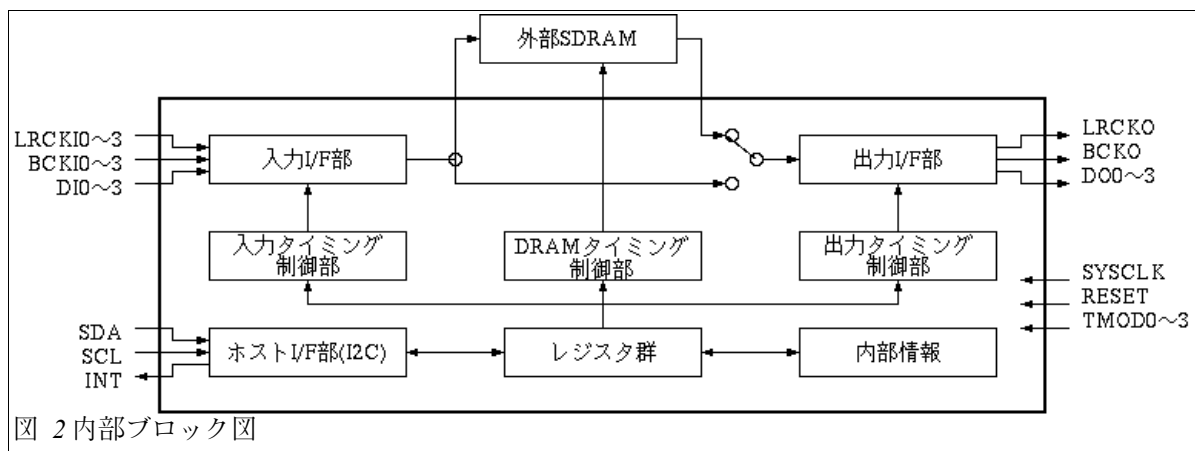
入力には図 1 に示す 2ch.モードと 8ch.モードがあり、2ch.モード時は 4 系統の 2ch.ソースを入力セクタで切替え遅延させることができます。遅延量は I<sup>2</sup>C を用いて設定します。

デジタル音声データは標準オーディオインターフェースに対応しており、入力側出力側を別々のフォーマットに設定できるため、ほとんどの音声 LSI とインターフェースすることができます。

遅延時間は外部に接続する SDRAM 容量で決まり、サンプリング単位で遅延することができます。



(5) ブロック図 :



ホストコントローラとは I<sup>2</sup>C で接続し、入力フォーマット、出力フォーマット、ソース選択、遅延の有無等が制御されます。

(6) 外部インターフェース規定：

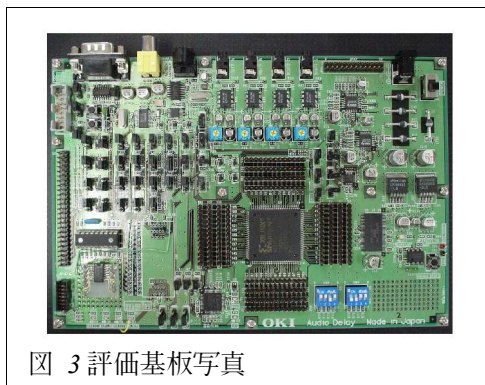
端子名	I/O	説明
LRCKI0~3	I	LRCK入力です。2ch.モードの場合、LRCKI0がDI0に、LRCKI3がDI3に、順に対応します。LRCKIの極性は内部レジスタで設定することができます。
BCKI0~3	I	BCK入力です。2ch.モードの場合、BCKI0がDI0に、BCKI3がDI3に、順に対応します。入力ビット数等仕様が違っていれば1LRCK内の数は問いません。
DI0~3	I	データ入力端子です。
LRCKO	O	LRCK出力です。LRCKOの極性は内部レジスタで設定することができます。
BCKO	O	BCK出力です。1LRCKにおけるBCK数は内部レジスタで設定することができます。
DO0~3	O	データ出力端子です。DO0がDI0、DO3がDI3に順に対応します。
SCL	I	I <sup>2</sup> Cクロック入力端子です。
SDA	I/O	I <sup>2</sup> Cのアドレスデータ端子です。オープンドレイン出力です。
INT	O	ホストCPUに対する割り込み信号で、オープンドレイン出力です。
SYSCLK	I	システムクロックの入力端子です。LRCKI、BCKIに同期し、サンプリング周波数の128倍以上が必要です。
RESET	I	本IPのリセット端子です。RESETがL期間でリセット動作を継続します。シュミットトリガ入力です。
TMOD0~3	I	本IPのI <sup>2</sup> Cアドレス設定およびテストモード選択端子です。
SDRD0~31	I/O	SDRAMデータ端子(32bit)です。
SDRC	O	SDRAM制御端子です。

(7) 提供形式：

Verilog-HDL

(8) 動作実績：

Xilinx 社 FPGA を用いた自社開発ボード上にて実機評価を実施中です。



(9) PR したい内容：

音声チャンネルとして2または8ch.遅延させることができ、単純ステレオからマルチチャンネルシステムまで幅広い用途に使用することができます。  
各チャンネルの遅延量は、個別に、しかもサンプリング周波数単位できめ細かく設定できるため、単純な遅延用途とは別に、サラウンド効果の調整にも使用することができます。  
遅延量は、16bit データの場合、SDRAM 容量が2Mbit で1.36 秒遅延することができます。

(10) 有償公開：

ご相談下さい。

(11) 連絡先：

日本電素工業株式会社  
技術本部マーケティング部マーケティンググループ 池田 裕光  
Tel : 03-3452-4368, Fax : 03-3452-1955