

FIR FILTER リファレンスデザイン for LatticeECP-DSP (開発元：株式会社マクニカ テクスターカンパニー)

< 概要 >

ラティス社廉価版 FPGA ECP-DSP シリーズ向けに設計された FIR フィルタの無償リファレンス・デザイン (VHDL ソース) です。FPGA を使って FIR フィルタを実現する場合に内部の乗算器を並列に高速動作させると高サンプリング周波数かつ多 TAP (多フィルタ次数) の FIR フィルタを実現することが可能です。本リファレンス・デザインはその一例として、サンプリング周波数 27MHz、入力データ幅 16bit、TAP 数 112 の FIR フィルタを LatticeECP-DSP シリーズの特徴あるハードマクロ (sysDSP ブロック) を用いて実現しています。

< 特徴 >

- ・ サンプリング周波数 27MHz、入力データ幅 16bit、TAP 数 112 の FIR フィルタを実現
- ・ sysDSP ブロックを用いてユーザーロジック (LUT) をできるだけ使わずに実現
- ・ 低サンプリング周波数の FIR フィルタにも容易に変更可能

< Lattice ECP-DSP のアーキテクチャ >

今回インプリメントした FPGA ECP20 には最速 250MHz で動作する乗算器を高機能 sysDSP ブロック () を 7 機搭載しています。本リファレンス・デザインでは 1 個の sysDSP ブロックにつき 4 つの乗算を並列しその結果を和算できる MULTADDSUBSUM (図 2) モードを用いています。

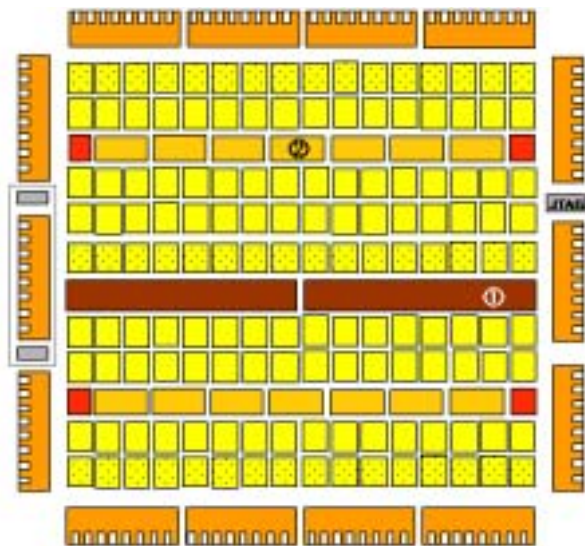


図 1 ECP のアーキテクチャ

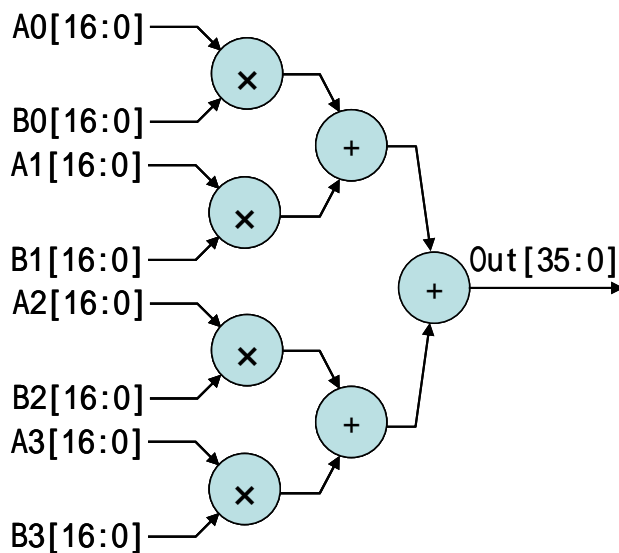


図 2 MULTADDSUBSUM モードの構成

< FPGA でのコンパイル結果 >

- ・ デバイス : LFCEP20E-5F672C
- ・ ロジック数 : 2197 SLICES (全 9835 SLICES のうち 22% を使用)
- ・ sysDSP ブロック : 7 ブロック
- ・ 動作スピード : Fmax 134MHz

< FIR フィルタ構成 >

本リファレンス・デザインでは下記の 3 つの要素で構成されています。

シフトレジスタ : ユーザ・ロジックを使用

ADDER : ユーザ・ロジックを使用

乗算 : sysDSP ブロックの MULTADDSUBSUM モードを使用
(ECP20 で使える 7 個の MULTADDSUBSUM を全て使用)

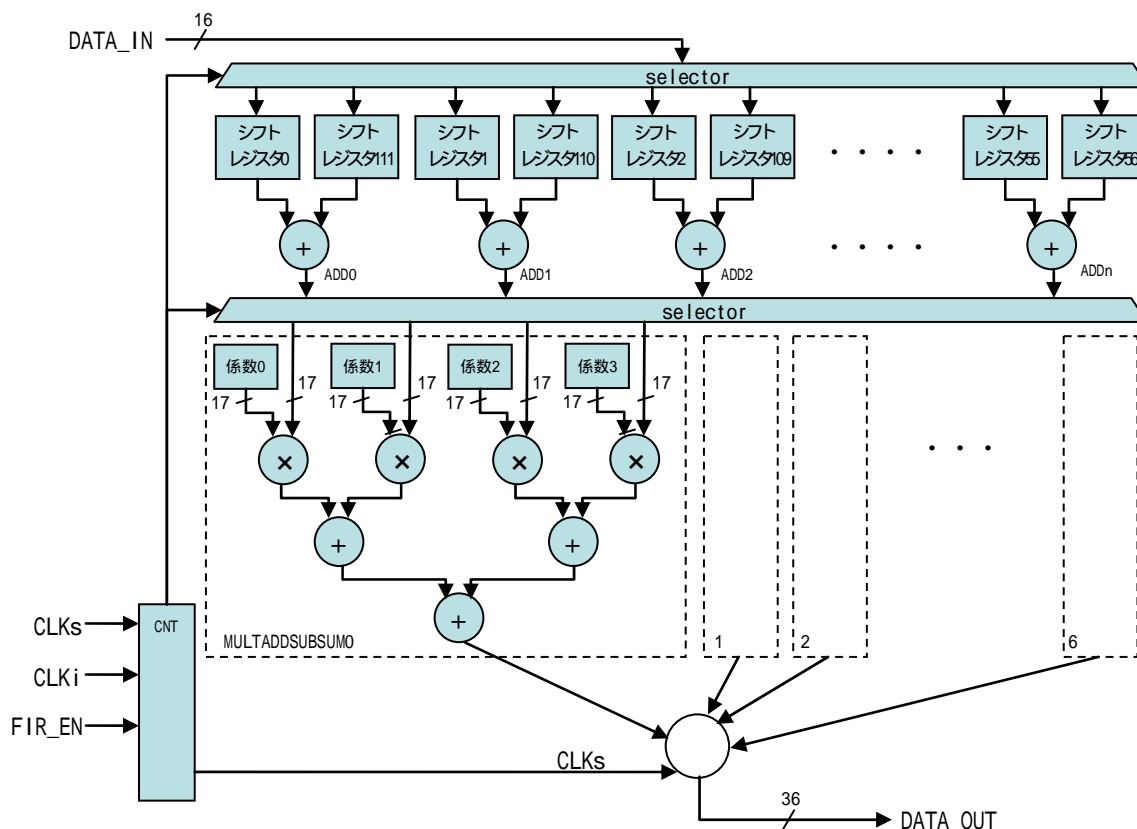


図 3 FIR フィルタの構成

< 外部インターフェース >

信号名	I/O	説明
CLKs	I	サンプリング周波数
CLKi	I	sysDSP ブロック動作クロック
Reset	I	システムリセット
DATA_IN[15:0]	I	入力データ
FIR_EN	I	FIR フィルタ・イネーブル信号
DATA_OUT[35:0]	O	出力データ

(連絡先)

株式会社マクニカ

テクスターカンパニー

応用技術部 山本 (lattice@macnica.co.jp)

TEL.045-470-9841 FAX.045-470-9842

TecStar
Company

〒222-8561

横浜市港北区新横浜 1-6-3

マクニカ第 1 ビル

<http://www.tecstar.macnica.co.jp>