

DDR SDRAM Controller IP for LatticeECP/EC Devices (開発元：ラティスセミコンダクター社)

< 概要 >

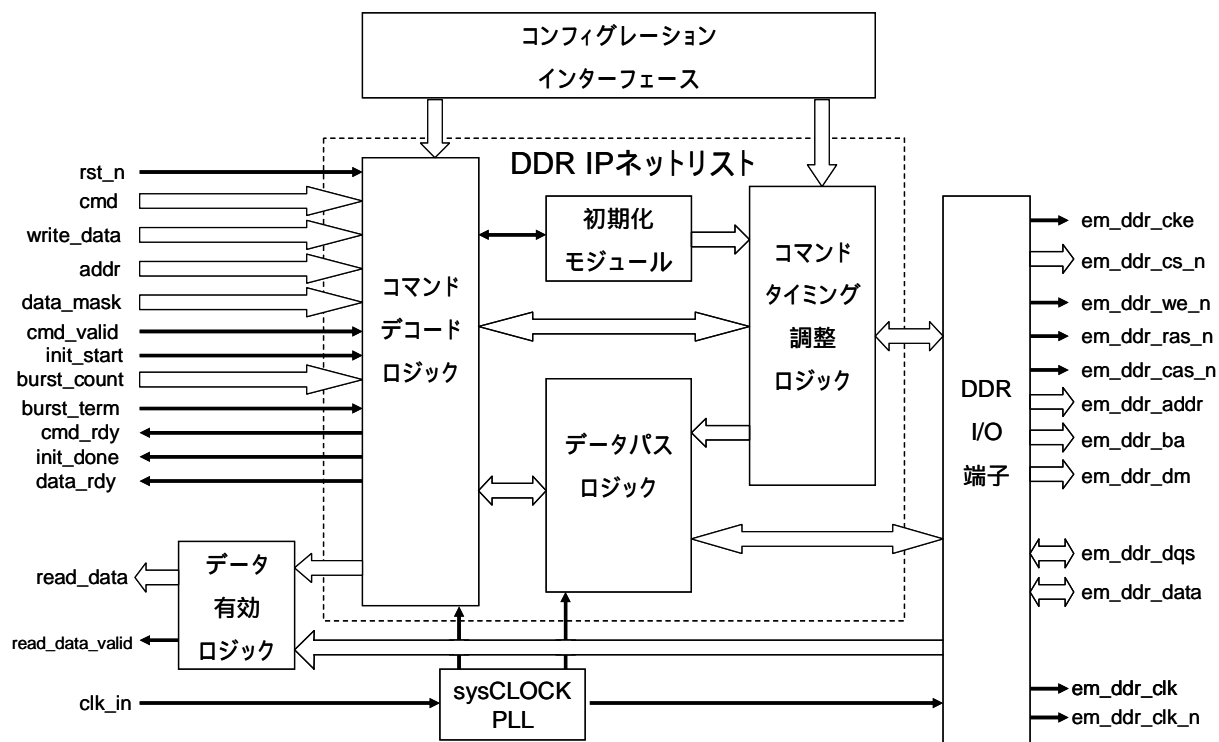
汎用 DDR SDRAM コントローラ IP です。I/O 部に DDR インターフェース専用回路 (DDR 専用レジスタ、DQS 遅延調整、クロック同期化) を持つラティス社最新 FPGA (ECP/EC) に実装することで、最大 400Mbps での高速動作が可能です。

< 特徴 >

- ・ 汎用 DDR SDRAM とインターフェース可能
- ・ 高性能 DDR 400/333/266/200/133 動作
- ・ プログラマブル・バースト長 (2, 4, 8)
- ・ プログラマブル・CAS レイテンシー (2, 3 Cycles)
- ・ Pre-Charge / ACTIVE コマンド発行を最小化するためのインテリジェントなバンク制御
- ・ 標準的な DDR コマンドを全てサポート
- ・ 信頼性高い同期設計
- ・ スループット向上のための 2 つのコマンド・パイプライン
- ・ 複数 DIMM サポート用に最大 8 個のチップセレクト
- ・ 一般的なメモリ設定を全てサポート

DDR SDRAM データ幅 (8, 16, 32, 64, 72 bits) / 様々なメモリに対応可能な可変アドレス幅 / プログラマブルなタイミングパラメータ / データマスク信号で Byte レベルでの書き込み 等

< ブロック図 >



<外部インターフェース>

端子名	アクティブ ステート	I/Oタイプ	説明
clk_in	N/A	Input	クロック入力
rst_n	Low	Input	非同期リセット入力
cmd[3:0]	N/A	Input	コントローラ用コマンド入力
write_data[DSIZE-1:0]	N/A	Input	データ入力
addr[ADDR_WIDTH-1:0]	N/A	Input	リード/ライト用アドレス入力
data_mask[(DSIZE/8)-1:0]	N/A	Input	ライトデータ用マスク入力
cmd_valid	High	Input	コマンド有効フラグ入力
init_start	High	Input	初期化開始命令入力
burst_count[4:0]	N/A	Input	予約(00001固定入力)
burst_term	High	Input	バーストサイクル終了命令入力
cmd_rdy	High	Output	コマンド受付可能出力
read_data[DSIZE-1:0]	N/A	Output	データ出力
read_data_valid	High	Output	データ出力有効フラグ出力
init_done	High	Output	初期化ルーチン完了出力
data_rdy	High	Output	ライトデータ受付可能出力
em_ddr_clk	N/A	Output	DDR SDRAMクロック出力
em_ddr_clk_n	N/A	Output	反転DDR SDRAMクロック出力
em_ddr_cke	High	Output	クロックイネーブル出力
em_ddr_cs_n[CS_WIDTH-1:0]	Low	Output	DDR SDRAMチップセレクト出力
em_ddr_we_n	Low	Output	ライトイネーブル出力
em_ddr_cas_n	Low	Output	カラムアドレスストロープ出力
em_ddr_ras_n	Low	Output	ローアドレスストロープ出力
em_ddr_addr[ROW_WIDTH-1:0]	N/A	Output	ローまたはカラムアドレス出力
em_ddr_ba[1:0]	N/A	Output	バンクアドレス選択出力
em_ddr_data[DATA_WIDTH-1:0]	N/A	In/Out	データバス入出力
em_ddr_dm[(DATA_WIDTH/8)-1:0]	N/A	Output	データマスク出力
em_ddr_dqs[(DATA_WIDTH/8)-1:0]	N/A	In/Out	DQS入出力

<FPGA でのコンパイル結果>

- ・ 規模 : 891 LUTs, 1288 Registers, 235 I/Os (Memory I/F : 60 pins, User logic I/F : 175 pins)
- ・ 動作スピード : Fmax 200MHz (400 DDR)
- ・ デバイス : LFEC20E-5F672C
- ・ 開発ツール : ispLEVER Ver.4.1 software

(備考) パラメータはデフォルト設定

FPGA 内蔵専用メモリ領域は未使用

<IP 提供について>

- ・ 価格 : \$ 4,000
- ・ 提供形式 : ネットリスト形式
- ・ 事前評価 : ラティス社 WEB (www.latticesemi.com) から評価用ネットリスト・ダウンロード可能

(連絡先)

株式会社マクニカ

テクスターカンパニー

応用技術部 佐々木 (lattice@macnica.co.jp)

TEL.045-470-9841 FAX.045-470-9842

TecStar
Company

〒222-8561

横浜市港北区新横浜 1-6-3

マクニカ第1ビル

<http://www.tecstar.macnica.co.jp>