

# MIPS互換低消費エネルギー 可変パイプラインプロセッサコア

市川裕二<sup>†</sup> 佐々木敬泰<sup>†††</sup> 弘中哲夫<sup>††</sup>  
谷川一哉<sup>††</sup> 北村俊明<sup>††</sup> 近藤利夫<sup>†††</sup>

<sup>†</sup> 広島市立大学大学院情報科学研究科

<sup>††</sup> 広島市立大学情報科学部

<sup>†††</sup> 三重大学工学部

# 研究背景

## 低消費エネルギー と 高性能 の両立

- バッテリ駆動時間延長
- チップ温度低下

- 高速処理
- リアルタイム処理

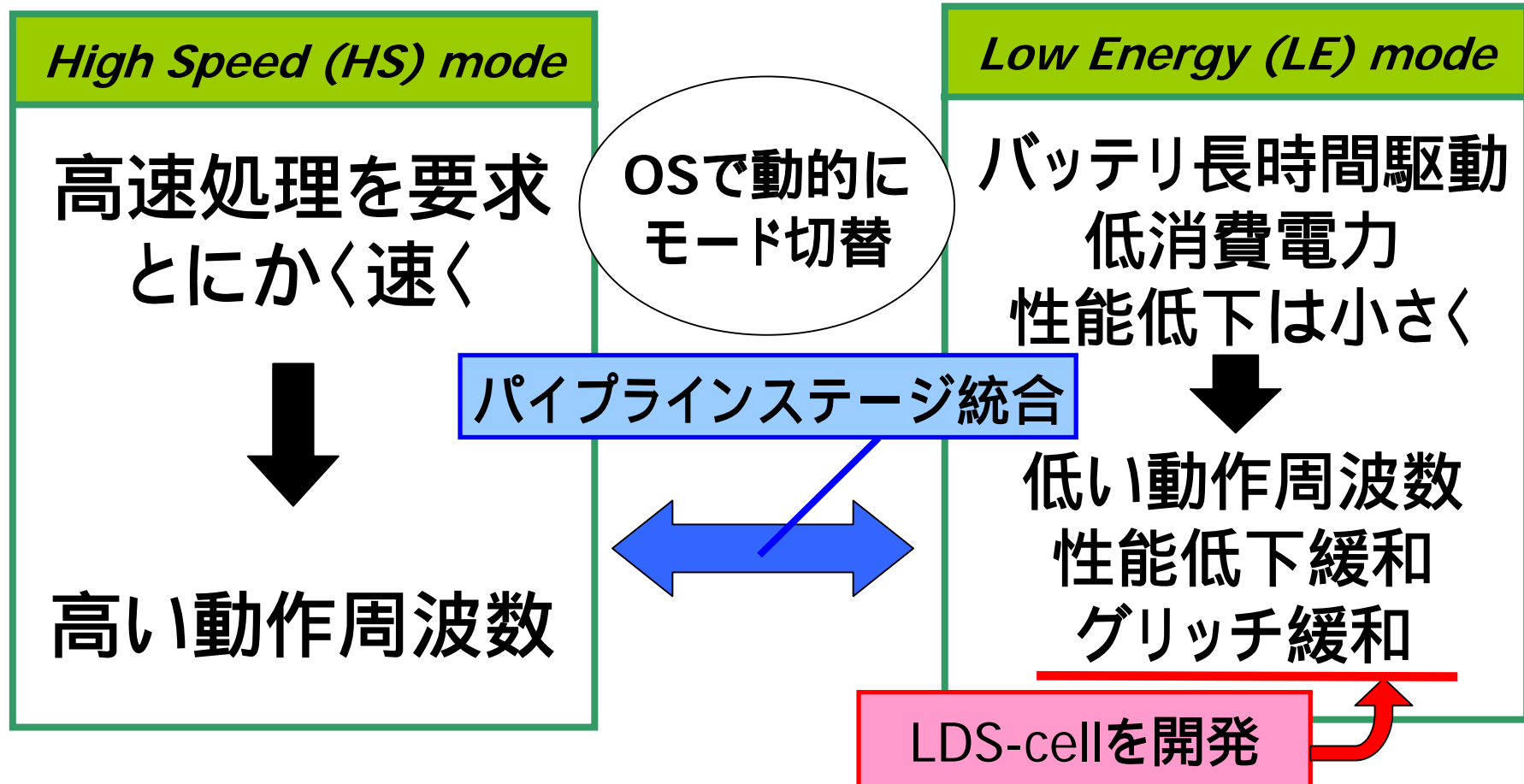
従来のDVSでは将来的にエネルギー削減効率の低下

- 電源電圧と動作周波数を動的制御

低消費エネルギー手法 VSP の提案

# VSP : Variable Stages Pipeline

パイプラインステージ統合 + LDS-cell : グリッチ緩和



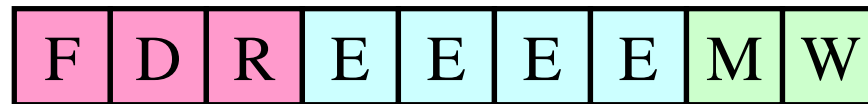
# パイプラインステージ統合

動的にパイプライン段数と動作周波数を変更

LE mode

- データ依存によるバブル削減
- 分岐予測ミスペナルティ削減
- 不要な回路での消費エネルギー削減

High Speed (HS) mode [高周波数]



動作周波数変更



ステージ統合

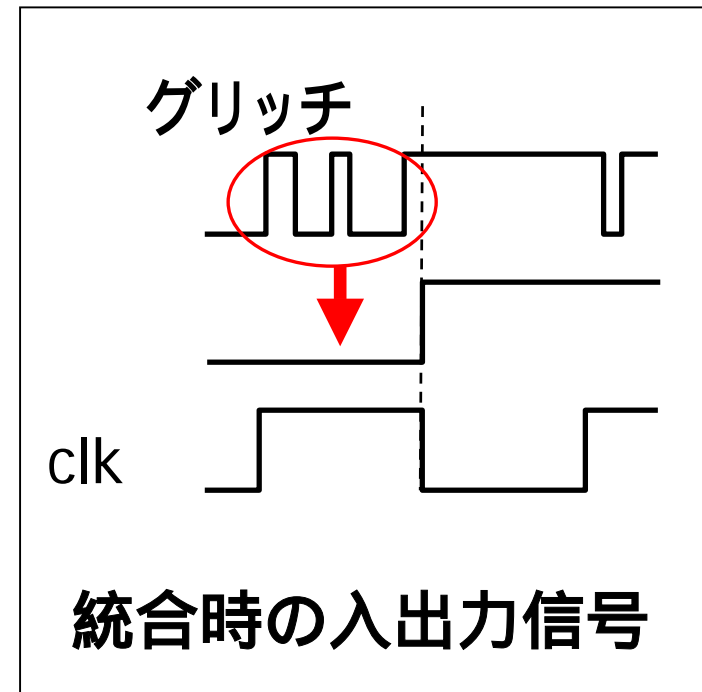
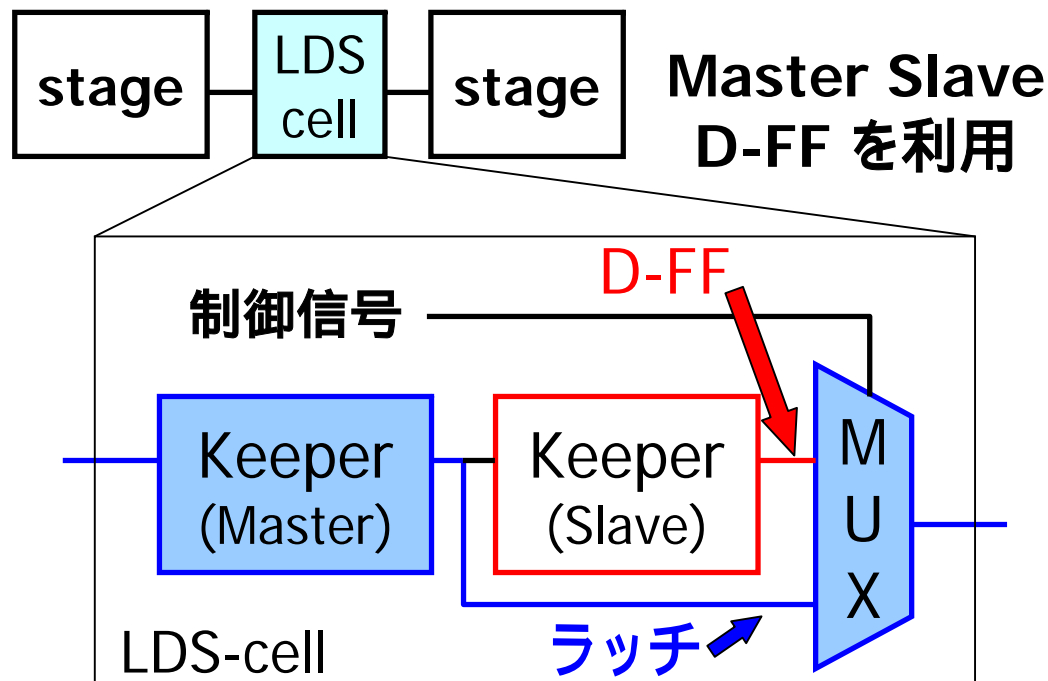
Low Energy (LE) mode [低周波数]



パイプラインバブル削減による実行時間の短縮  
低消費エネルギーと高性能の両立

# LDS - cell : グリッチ緩和

ラッチの挿入      グリッチ伝搬を防ぐ



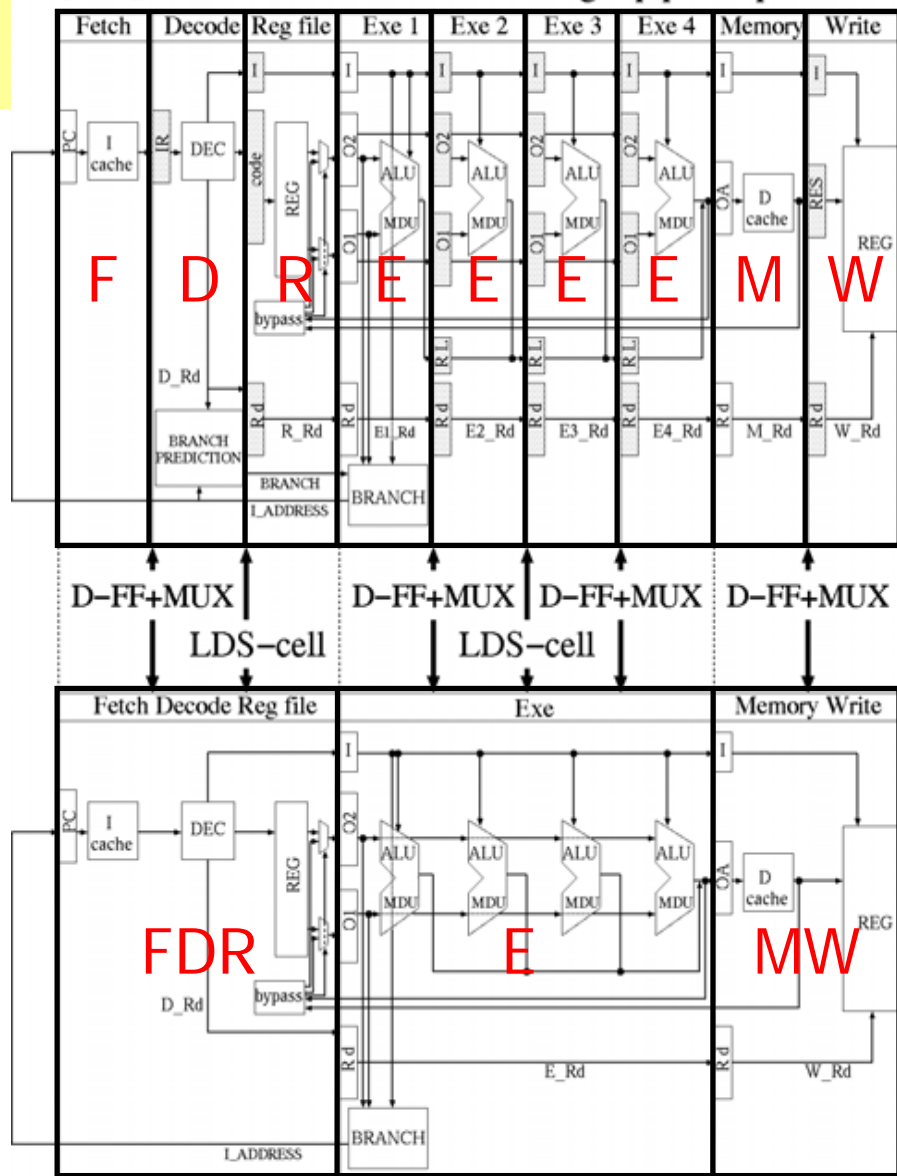
- HS mode : D-FF (Slave Keeper の出力を選択)
- LE mode : ラッチ (Master Keeper の出力を選択)

# VSP Processor

## VSP prototype Processor

- *MIPS R3000 互換*
- *HITACHI 0.18 μm*
- *889506 Transistors*
- *High Speed mode*
  - *9 Stages : 125MHz*
- *Low Energy mode*
  - *3 Stages : 31MHz*

High Speed mode 9 stages pipeline processor



Low Energy mode

3 stages pipeline processor

# 評価結果

- VSPは低動作周波数動作時にDVSと比較して

**2倍の性能・消費エネルギー1/3**

低消費エネルギーと高性能の両立を達成

- 興味をもたれた方はNo.11のブースへ