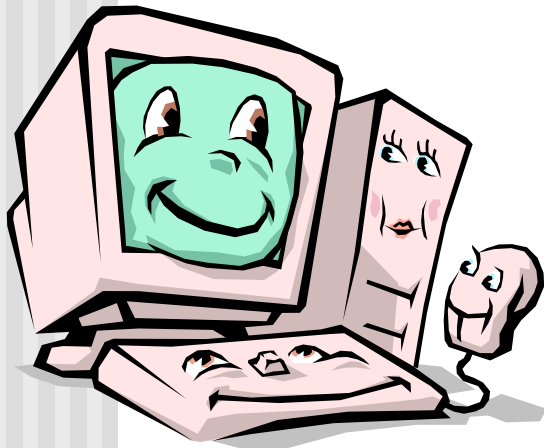


< 演算器IP > 三角関数演算器



オープンハード株式会社
R&Dセンター：奥島 隆嗣



弊社ご案内

会社信条

”働く”とは、はたを楽にすること

”はたらく”とは、はた(周囲)を楽にすることです。自分の周囲のひとのお役に立つこと、これが弊社の”働く”です。

”ちょっと無理をする”

言葉はとても大切なツールです。良き言葉を常に発していると、その言葉が先行して、良き結果を導いてくれます。ですから、”くちぐせ”は、とてもたいせつです。日常の生活でも”ちょっと無理”して仕事をするのがオープンハード流です。



弊社業務ご案内

組み込み機器開発

LSI / FPGA開発, ソフト開発, IP開発

リアルタイム動画画像信号処理システム

汎用PCでシステム組むことをお勧めします

MATLABを用いたシステム検討

設計に入る前の検討は、緻密に素早く

アナログ回路開発

デジタル信号処理には、アナログ回路が重要

設計の監査法人

設計レビューの第三者機関



< 三角関数演算器IP > 提供物リスト

Verilog-HDLソース (IP本体)

外部設計書

(これを見ればすぐに使えます)

内部設計書

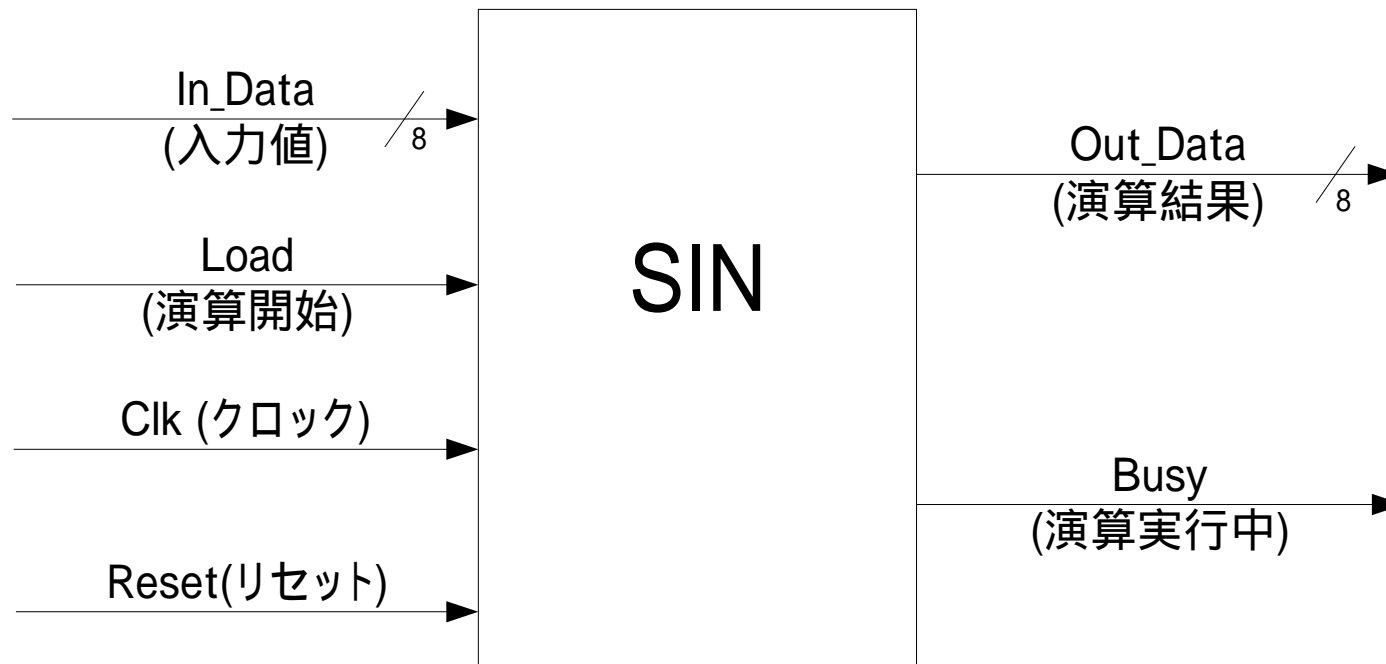
シミュレーション仕様 / 結果書

クイックテストベンチ (検証用テストベンチ)



< 三角関数演算器IP > 外部仕様

入出力信号



< 三角関数演算器IP > 仕様について



- 独自アルゴリズムにより、回路規模を削減。

必要最小限の回路規模にて、お客様のアプリケーションに組み込み可能。

- ユーザー(お客様)からは、一般の演算器モジュールとして扱えます。

特別な知識は不要(簡単、明快、時間短縮)

- ソースは、Verilog-HDLにて提供

- CPUの外付けアクセラレータとしても最適。

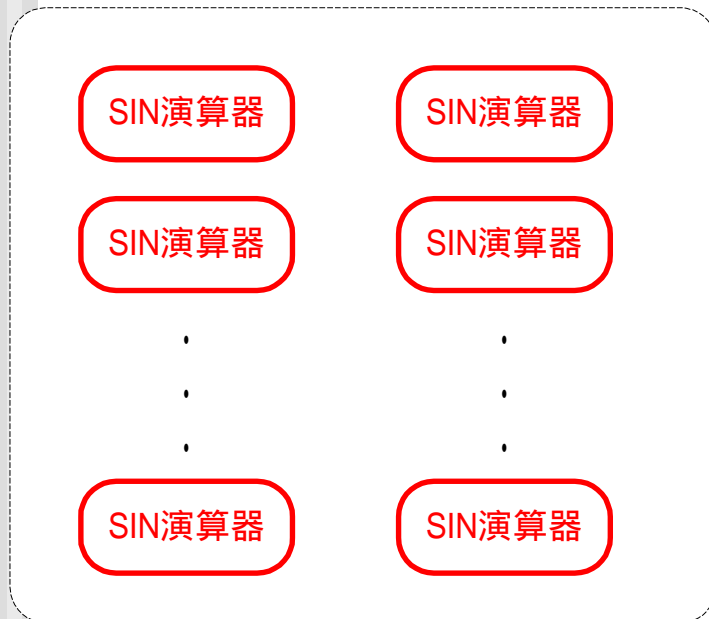
ALTERA社NIOS等のソフトマクロCPUに本演算器を取り付けることで、高速な演算を実現します。

浮動小数点化等、カスタム化については、お問い合わせください。

< 三角関数演算器IP >

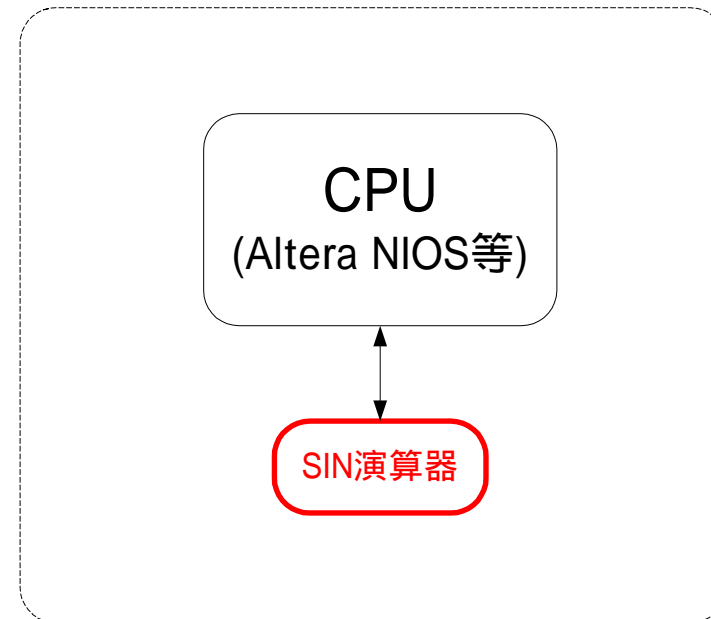
使用例

FPGA or ASIC



使用例1
(多数の演算器を並列動作)

FPGA or ASIC



使用例2
(CPUの外付けアクセラレータとして使用)

まとめ



1. キット (IP) 提供の形式

Verilog-HDL、取り扱いマニュアル (日本語)

2. FPGA 及び LSI への実装結果

ALTERA 社 Stratix II、EP2S90F1020C3 にて

動作速度 : 78 MHz

Logic Elements 数 : 239 個

DSP block 数 : 30 個

ありがとうございました

< 三角関数演算器 >

弊社までお問い合わせください



(0422) 44-6715

Email : info@openhard.co.jp



2006/2/1

三角関数演算器

9