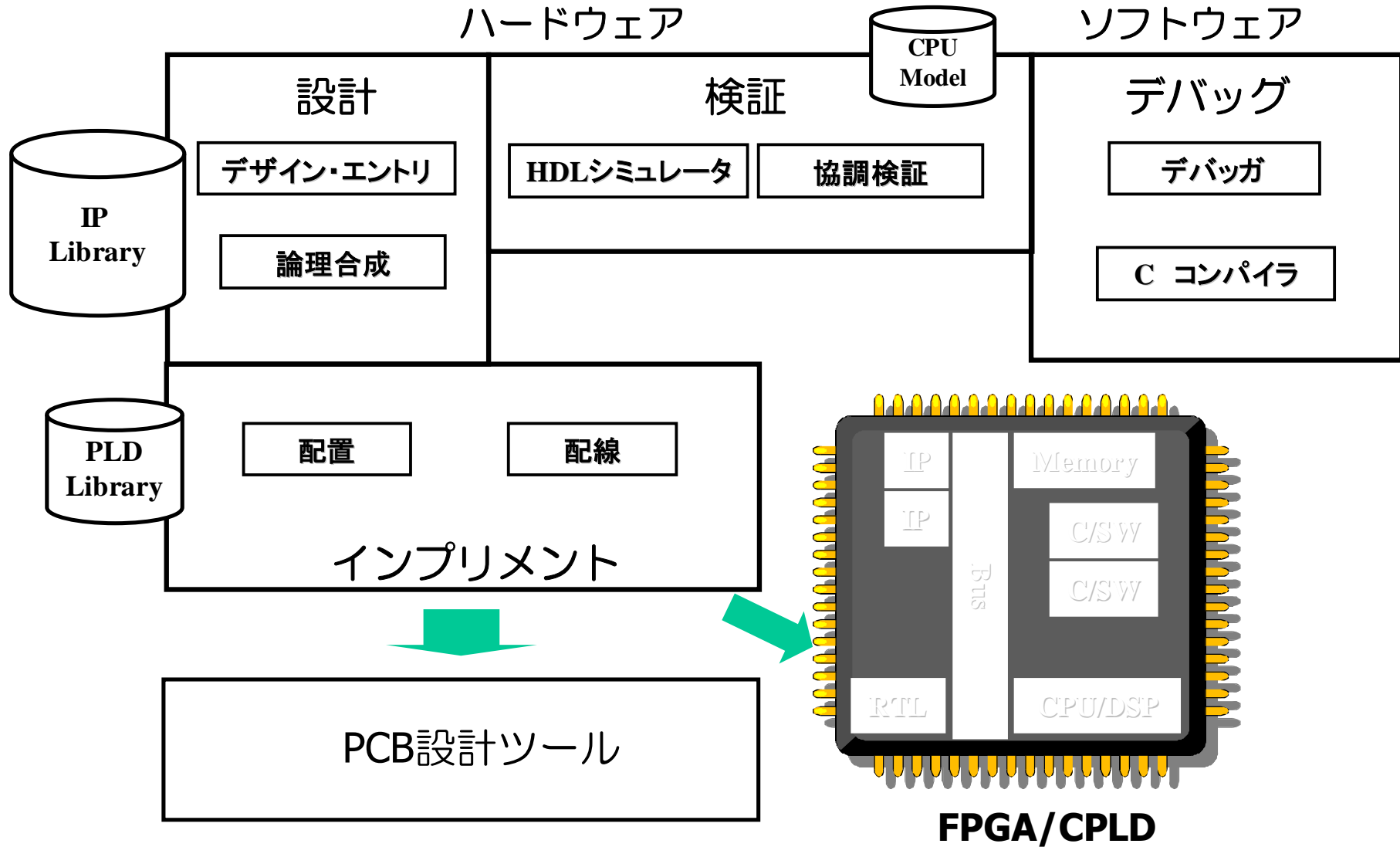


FPSoC設計フロー

ハードウェア

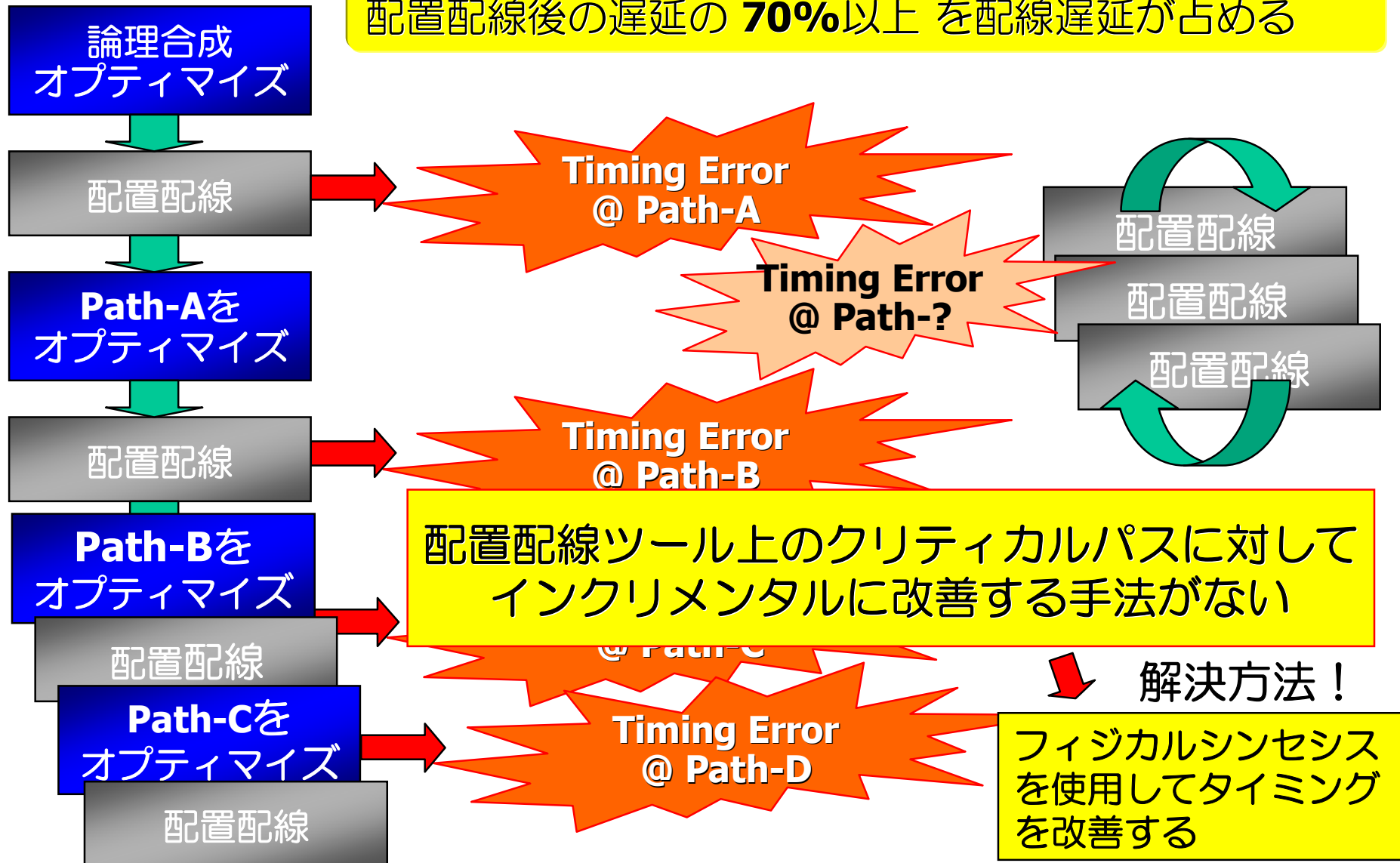
ソフトウェア



エンベデッドCPUを持つFPSoC ハードウェア/ソフトウェア設計と検証

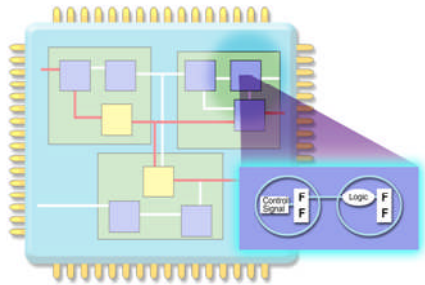
タイミングクローズしない原因

配置配線後の遅延の **70%以上** を配線遅延が占める

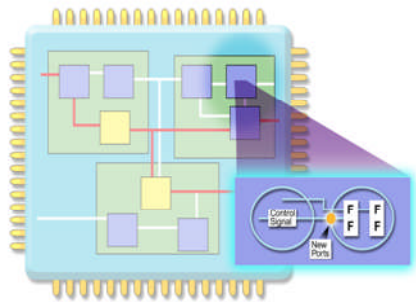
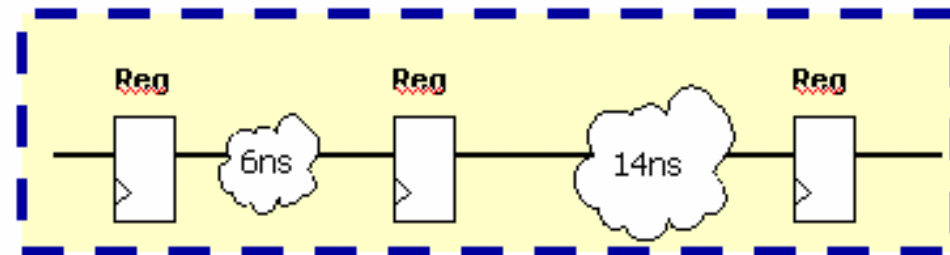


レジスタ・リタイミング

- ロジックを前段または後段に移動してタイミングを改善
- レジスタ間のタイミングバランスを最適化
- 階層バウンダリを超えるリタイミングも可能
 - ロジック・レプリケーション、ポートの追加など



Before Register Retiming



After Register Retiming

