

7. 回路設計の盲点と試作基板での回路評価の限界

☆ DDR-133MHz: タイミングコントロール

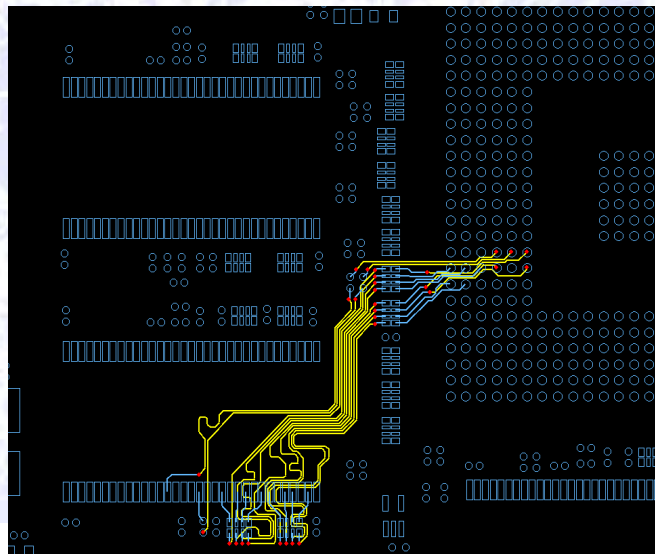
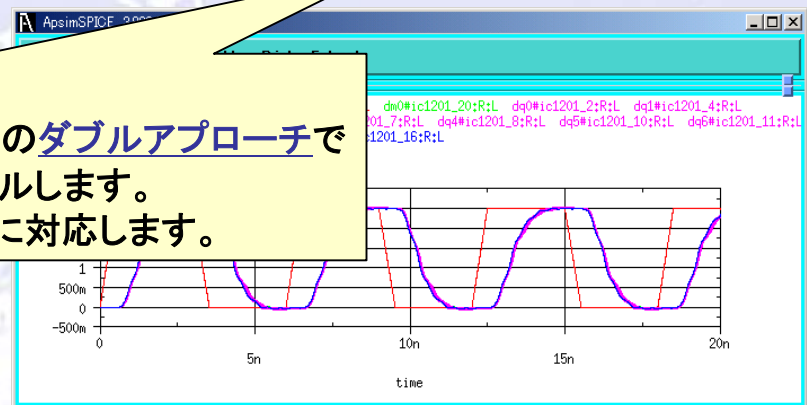
項目	スペック	結果	判定
データ/データマスク信号: 配線遅延時間差	各DQSに対して、±50ps以内	18.8ps ~ 45.7ps	○

1-Write) DQ[0..7], DQS0, DOM0
CPU ⇒ DDR

CPU側							
R1241	56	R1242	56				
R1242	56	R1243	56				
R1243	56	R1244	56	R1247	33	R1203	未実装
R1244	56			R1248	33	R1204	未実装

Point!

1. CAD等長配線+Sim遅延時間のダブルアプローチでタイミングスキューをコントロールします。
2. パターン設計期間内での解析に対応します。



結果) D [0..7]信号 (Write時): DQS-DQ/DQM: 単位:[s]

測定点	信号名	DQS		DQ/DQM		DQS-DQ	判定
		値	値	値	値		
2回目立ち上がり (Write)	D0	ddr_ldqs0#ic8301_16_r	8.1760E-09	ddr_dq0#ic8301_2_r	8.1814E-09	-5.3E-12	○
	D1	ddr_ldqs0#ic8301_16_r	8.1760E-09	ddr_dq1#ic8301_4_r	8.1840E-09	-8.0E-12	○
	D2	ddr_ldqs0#ic8301_16_r	8.1760E-09	ddr_dq2#ic8301_5_r	8.1944E-09	-18.4E-12	○
	D3	ddr_ldqs0#ic8301_16_r	8.1760E-09	ddr_dq3#ic8301_7_r	8.1995E-09	-23.5E-12	○
	D4	ddr_ldqs0#ic8301_16_r	8.1760E-09	ddr_dq4#ic8301_8_r	8.1996E-09	-23.6E-12	○
	D5	ddr_ldqs0#ic8301_16_r	8.1760E-09	ddr_dq5#ic8301_10_r	8.1913E-09	-15.3E-12	○
	D6	ddr_ldqs0#ic8301_16_r	8.1760E-09	ddr_dq6#ic8301_11_r	8.1971E-09	-21.1E-12	○
	D7	ddr_ldqs0#ic8301_16_r	8.1760E-09	ddr_dq7#ic8301_13_r	8.2038E-09	-27.8E-12	○
DML0	ddr_ldqs0#ic8301_16_r	8.1760E-09	ddr1_dqm0#ic8301_20_r	8.1303E-09	45.7E-12	○	
配線遅延時間差	Min.					-27.8E-12	
	Max.					45.7E-12	
	Max.-Min.					73.5E-12	

測定点	信号名	DQS		DQ/DQM		DQS-DQ	判定
		値	値	値	値		
2回目立ち下がり (Write)	D0	ddr_ldqs0#ic8301_16_f	1.1484E-08	ddr_dq0#ic8301_2_f	1.1489E-08	-4.3E-12	○
	D1	ddr_ldqs0#ic8301_16_f	1.1484E-08	ddr_dq1#ic8301_4_f	1.1492E-08	-7.3E-12	○
	D2	ddr_ldqs0#ic8301_16_f	1.1484E-08	ddr_dq2#ic8301_5_f	1.1502E-08	-17.4E-12	○
	D3	ddr_ldqs0#ic8301_16_f	1.1484E-08	ddr_dq3#ic8301_7_f	1.1507E-08	-22.8E-12	○
	D4	ddr_ldqs0#ic8301_16_f	1.1484E-08	ddr_dq4#ic8301_8_f	1.1507E-08	-22.9E-12	○
	D5	ddr_ldqs0#ic8301_16_f	1.1484E-08	ddr_dq5#ic8301_10_f	1.1499E-08	-15.1E-12	○
	D6	ddr_ldqs0#ic8301_16_f	1.1484E-08	ddr_dq6#ic8301_11_f	1.1505E-08	-20.9E-12	○
	D7	ddr_ldqs0#ic8301_16_f	1.1484E-08	ddr_dq7#ic8301_13_f	1.1513E-08	-28.3E-12	○
DML0	ddr_ldqs0#ic8301_16_f	1.1484E-08	ddr1_dqm0#ic8301_20_f	1.1441E-08	43.1E-12	○	
配線遅延時間差	Min.					-28.3E-12	
	Max.					43.1E-12	
	Max.-Min.					71.5E-12	