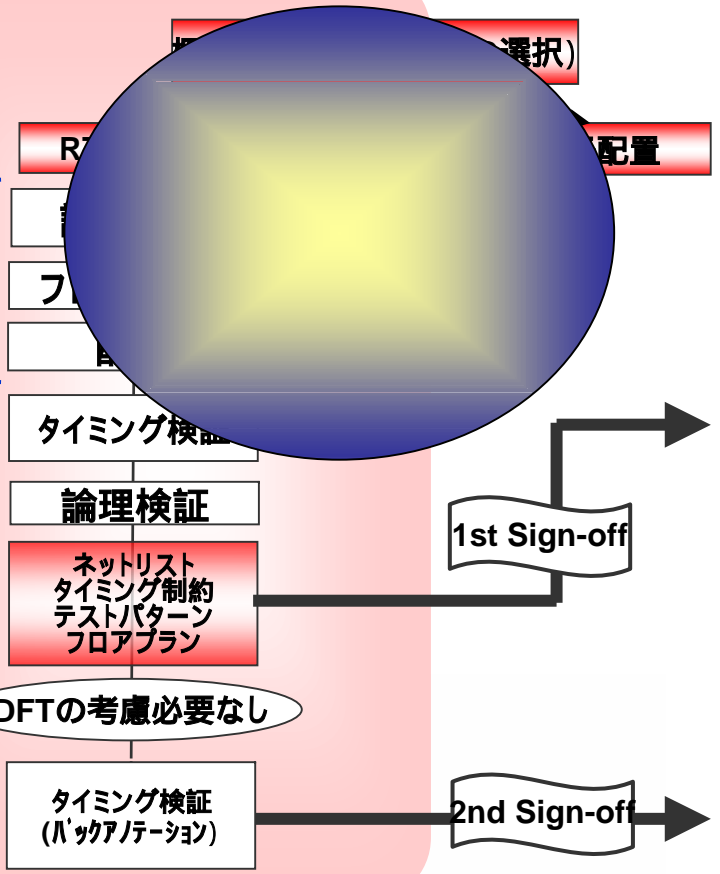
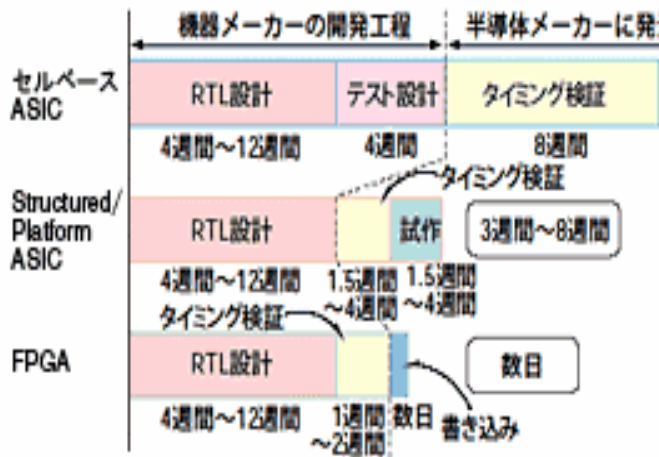


新たな潮流、ストラクチャードASICの真相

(新しいASICソリューションとして脚光を浴びているストラクチャードASICに関して、そのアーキテクチャ、市場優位性、ユーザメリットなどを概説します。また、セルベース/FPGAとの差異に触れるとともに、FPGAからのマイグレーションとセルベースへのマイグレーションを視野に入れて、ストラクチャードASICの特徴を引き出す具体設計フローについて整理します。最後に今後のストラクチャードASICの

Physical Synthesis

納期を3週間~8週間に



設計工程間のインターフェースデータ

ASIC, FPGAの開発期間(RTL設計から算出)を比較した。Structured/Platform ASICを使えば納期は最短3週間と、セルベースASICの約1/4になる。さらに機器メーカーの開発工程におけるテスト設計の手間も省ける。
130nmルールの場合。(日経エレクトロニクス 2003年9月1日号より)

FPGA
 試作を前提とした開発
 量産時、全機能検査が必須

ASIC
 量産を前提とした開発
 LSIチップとしての性能を保証

ハイエンド
FPGA

ローエンド
FPGA

Structured
ASIC

セルベース
ASIC

- 大規模、高性能LSIを実現
- 小中規模ロット対応
- 埋め込みCTS(本数制限あり)
- DFTフリー
- パタンレスI/F 等々

- NREが不要
- 1個から購入可能
- 設計環境が充実 (PCベースの簡易CADツール)
- 設計容易性の追求 (機能、評価ボード等) 等々

- システムLSIを実現
- 大規模ロット対応
- 設計自由度大 等々

従来

FPGAで
デバッグ

セルベースASICで、ASIC化

製品出荷

出荷

4~5ヶ月

FPGAで
デバッグ

Structured ASIC
で、ASIC化

出荷

2ヶ月

Structured
ASIC
開発



開発開始
ASIC設計手法