
IP (Intellectual Property) フリーマーケット in EDSFair

～ あなたの IP (Intellectual Property) の市場価値は！？

会期:2006年1月26日(木)～27日(金) 会場:パシフィコ横浜

第13回FPGAコンファレンスでは、『IP (Intellectual Property) フリーマーケット』を開催し、IPベンダーやベンチャーが開発した商用IP、大学や研究室にころがっているIP（掘り出しものIP）などあらゆる設計者が開発したIPに対して、IPを売り込む発表の場とその価値を見極める場を提供します。是非自分達が開発したIPを売り込んでみませんか。

■発表対象

- ・開発したIP・組み込みソフトを是非宣伝したい一般/ベンチャー企業の方！
- ・研究成果のアピールや研究費集めをしたい大学の研究室の方！
- ・自作のIP・組み込みソフトで副収入を稼ぎたい（今後ベンチャーを起したい？）大学生/大学院生！

■投稿事例

（IP編）

- ・マイクロプロセッサ、マイクロコントローラなどのプロセッサ類、JPEG、MPEGをはじめとする画像処理関連、FIR フィルター、DCT、FFT などの信号処理マクロ、浮動小数点の四則演算マクロ、BCH、リードソロモン、ビタビなど誤り訂正マクロ、SinX、COSX、ArctanX など三角関数の近似など…何でも歓迎!!!
- ・FPGA に搭載された CPU コアを用いた F/W・アプリケーションソフト
（設計支援・組み込みソフト編）
- ・市販の文書作成ツールを用いた、簡易タイミングチャート作成ツール
- ・簡易ゲート規模見積もり計算ツール
- ・オリジナルの設計支援ツール（シミュレータ、論理合成、回路入力、設計書作成支援など）
- ・組み込みソフトの簡易デバッガや簡易 OS など組み込みの関する設計支援ツール

■発表形式

- ・第13回FPGA/PLD Design Conferenceの会場（パシフィコ横浜 アネックスホール）にて、プロジェクターを使ったプレゼンテーション（各団体3～5分：必須事項）と、ポスターセッション（全体で1時間程度：必須事項）
- ・EDSFair2006の会場内にポスター展示/1日（希望者のみ：新聞紙見開き1枚程度：会場内で説明員を配置してのPR活動などの参加は自由）

※展示会終了後、発表したIP、設計支援ツールは、EDSFair2006WEBに無料掲載（希望者のみ）

■発表申し込み方法

以下の要領に従い、電子メールにて発表申し込みを送付して頂いた後に、まずはカタログ概要の提出をして頂きます。原則として、その要件を満たしているものは出来る限り発表の

場を提供しますが、発表申し込み多数の場合は、プログラム委員会にて厳正に審査を行い、発表決定通知を送付します。発表決定通知受領後、発表者は最終原稿(予稿集掲載用/当日プレゼンテーション用)を送付して頂きます。また、発表までの日程は以下のようになっています。

↓ ■ 発表申込書の送付期限： 2005年9月30日(金)

↓ ■ カタログ概要の送付期限：2005年10月14日(金)

↓ ■ 発表通知送付予定： 2005年11月4日(金)

↓ ■ 最終原稿の送付期限： 2005年12月16日(金)

■ 発表：2006年1月26日(木) 若しくは1月27日(金)

発表会場：パシフィコ横浜 アネックスホール、および、展示ホール(希望制)

■ 投稿申し込み作成要領

【投稿申込書書式 (IP 関連)】

- ① 投稿する IP 名
- ② 分野 (例えば画像・通信・インターフェースなど)
- ③ 開発者(協同開発者を含む)、所属
- ④ 500 文字程度の概要 (機能面から見た概要)
- ⑤ FPGA/PLD などでの動作確認の有無 (例えば Xilinx 社 Virtex II で 100MHz、集積度 9500CLBs など)
- ⑥ 300 文字程度の PR 文 (本 IP の売込み文句)
- ⑦ キーワード 3 個以内
- ⑧ 連絡先 (住所、氏名、電話番号、FAX 番号、電子メールアドレス) を記載した発表申込書を作成し、電子メールにて発表申し込み先までお送りください。なお、発表申し込み様式(テンプレート)が必要な方は下記の問い合わせ先にご請求ください。

【投稿申込書書式 (設計支援ツール関連)】

- ① 投稿する設計支援ツール名
- ② 分野 (例えばシミュレータ、論理合成、回路入力、設計書作成支援など)
- ③ 開発者(協同開発者を含む)、所属
- ④ 500 文字程度の概要 (機能面から見た概要)
- ⑤ 設計支援ツールが動作する環境 (例えば PC、OS: Windows2000 以上、推奨 CPU: Pentium III (800MHz 以上)、メモリ: 128MB 以上など)
- ⑥ 300 文字程度の PR 文 (本設計支援ツールの売込み文句)
- ⑦ キーワード 3 個以内
- ⑧ 連絡先 (住所、氏名、電話番号、FAX 番号、電子メールアドレス) を記載した発表申込書を作成し、電子メールにて発表申し込み先までお送りください。なお、発表申し込み様式(テンプレート)が必要な方は下記の問い合わせ先にご請求ください。

■ カタログ作成要領

【カタログ概要書式 (IP 関連)】

- ① 投稿する IP 名
- ② 分野 (例えば画像・通信・インターフェースなど)
- ③ 開発者(協同開発者を含む)、所属
- ④ IP の機能説明 (規格類の準拠などの情報を含む)

- ⑤ IP のブロック図（機能が理解できる程度のもの）
- ⑥ 外部インターフェースの規定（入出力、タイミングチャート、インターフェース条件（電气的特性など））
- ⑦ IP 提供の形式（C 言語、HDL、コンパイル後のオブジェクトなど）
- ⑧ FPGA/PLD での動作実績の有無（例えば Altera 社 APEXII で 100MHz、集積度 9500LEs など）
- ⑨ PR したい内容
- ⑩ 無償公開／有償公開（有償の場合は自分の希望価格の提示）
- ⑪ 連絡先（住所、氏名、電話番号、FAX 番号、電子メールアドレス）を題目と図表を含めて必ず A4 版 2 枚以内にまとめて記載してください。原則、上記用件を満たしているものは出来る限り発表の場を提供しますが、申し込み多数の場合は、上記の発表用件を満たしているか確認するため、期日までにカタログ概要を PDF 形式で提出をお願いします。PDF 形式を作成することが難しい場合は別途問い合わせ先までご相談ください。

【カタログ概要書式（設計支援ツール関連）】

- ① 投稿する設計支援ツール名
- ② 分野（例えばシミュレータ、論理合成、回路入力、設計書作成支援など）
- ③ 開発者（協同開発者を含む）、所属
- ④ 設計支援ツールの機能説明（規格類の準拠などの情報を含む）
- ⑤ 設計支援ツールのシステム構成図（投稿設計支援ツール自身のシステム構成と市販またはオリジナル設計支援ツールのデータ受け渡しのイメージが示されているもの）
- ⑥ 設計支援ツールの操作性（GUI 画面 または バッチ処理の場合はその実行画面の一部）
- ⑦ 設計支援ツールの提供の形式（オブジェクト、ソース（C/C++言語、スクリプト）など）
- ⑧ 設計支援ツールが動作する環境（例えば PC、OS: Windows2000 以上、推奨 CPU: Pentium III（800MHz 以上）、メモリ：256MB 以上など）
- ⑨ PR したい内容
- ⑩ 無償公開／有償公開（有償の場合は自分の希望価格の提示）
- ⑪ 連絡先（住所、氏名、電話番号、FAX 番号、電子メールアドレス）を題目と図表を含めて必ず A4 版 2 枚以内にまとめて記載してください。原則、上記用件を満たしているものは出来る限り発表の場を提供しますが、申し込み多数の場合は、上記の発表用件を満たしているか確認するため、期日までにカタログ概要を PDF 形式で提出をお願いします。PDF 形式を作成することが難しい場合は別途問い合わせ先までご相談ください。

■ プレゼンテーション用最終原稿

発表採用後に予稿集に掲載する原稿として「最終原稿」を提出ください。発表者選定段階で提出して頂いた「カタログ概要」を再度、修正/ブラッシュアップして再提出してください。また、当日プレゼンテーション用データ原稿は PPT(パワーポイントデータ)にて別途ご提出頂きます。

■ 投稿上の注意点

- ・今回の企画は、あくまで設計者の交流を目的とし、IP 及び設計支援ツールの PR の場を提供しており、IP 及び設計支援ツールに関する責任はすべて投稿者にあります。また、販売・入手の仲介は一切いたしませんので個別にコンタクトをお願いします。

- ・ 投稿された IP 及び設計支援ツールの著作権・特許等は事前に投稿者が必要な処置を講じてください。
- ・ 本コンファレンスの IP 及び設計支援ツールの売り込み時間は合計 90 分程度を予定しており、投稿者多数の場合は審査を実施します。従って投稿者のすべてが発表できるとは限りません。また、投稿したこと（採用・不採用に限らず）で発生する利益・不利益については、本委員会は一切その責任を負いません。
- ・ 投稿者は発表決定通知を受け取った際には、必ず発表の義務が伴いますのでご承知置きください。発表が不可能になった場合は、次点の投稿 IP 及び設計支援ツールを繰り上げます。

◇発表申込先（問い合わせ先）

〒105-0012 東京都港区芝大門 1-12-16 住友芝大門ビル 2 号館 5F

日本エレクトロニクスショー協会 担当：鳥飼、菊嶋

電話：03-5402-7601 FAX：03-5402-7605

E-mail：IP-info@jesa.or.jp

Electronic Design and Solution Fair 2005

with FPGA/PLD Design Conference

主 催：社団法人電子情報技術産業協会（JEITA）

協 力：Electronic Design Automation Consortium（EDAC）

後 援 予 定：経済産業省、アメリカ合衆国大使館、外国系半導体商社協会（DAFS）、横浜市

協 賛 予 定：社団法人電子情報通信学会（IEICE）、社団法人情報処理学会（IPSJ）

社団法人日本プリント回路工業会（JPCA）

運 営：日本エレクトロニクスショー協会
