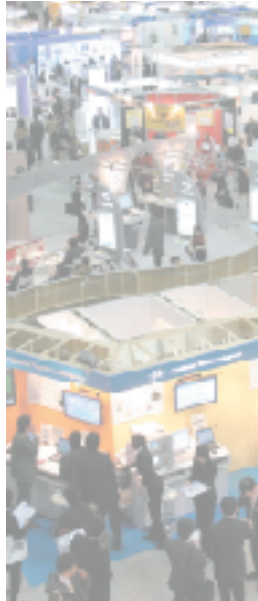
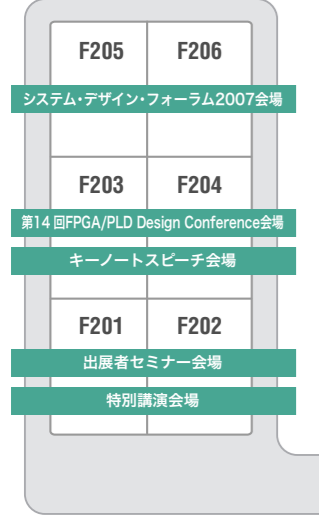


会場図 パシフィコ横浜 展示ホールD/アネックスホール



アネックスホール[2F]



出展企業一覧

- 603 アーム(株)
513 (株)アイヴィス
306 アジレント・テクノロジー(株)
417 (株)沖ネットワークエルエスアイ
611 (株)アストロン
416 (株)アストロリンクス(株)
416 アットデザインリンクス(株)
604 Accellera Technologies, Inc.
605 アトレンタ(株)
514 アパッチデザインソリューションズ(株)
208 (株)アプライド・シミュレーション・テクノロジー
101 (株)アプリスター
608 アンソフ・ジャパン(株)
409 E2ハブリック(株)
201 (株)ハードウェア・ソリューションズ(株)
104 サブ・マイクロシステムズ(株)
EMCジャパン(株)
マクニネットワークス(株)
Actis Design, LLC
ANOVA SOLUTIONS INC
日本セロックス(株)
日本イブ(株)
Obsidian Software, Inc.
REAL INTENT, INC.
Prolific Inc.
SARNOFF Corporation
Xyalis
ダツコン・システムズ(株)
703 イノテック(株)
アルテリス
ピーチソリューションズ
チップビジョンデザインシステムズ
イ・エイ・シー
ジャズセミコンダクター
ターゲットコンパイル・テクノロジー
トライアントテクノロジー
503 エイシップ・ソリューションズ(株)
304 (株)エーイーディー
203 AWR Japan (株)
505 (株)エスケーエレクトロニクス
601 (株)エッチ・ディー・ラボ
609 (株)エッチ・ディー・ラボ



- 419 NECシステムテクノロジー(株)
308 特定非営利活動法人FPGAコンソーシアム
417 (株)沖ネットワークエルエスアイ
509 カーボ・デザイン・システムズ・ジャパン(株)
102 (株)ガイ・システム・ソリューションズ
604 兼松エレクトロニクス(株)
602 カリブ・デザイン・システムズ(株)
502 (株)キー・ブリッジ
410 (株)クレディスト
002 コウエファ(株)
310 サイバーテック(有)
ジャズバー・デザイン・オートメーション
202 サイバネットシステム(株)
413 サガンテック・ノース・アメリカ・インク
211 CQ出版(株)
403 シーケンスデザイン(株)
107 (株)ジータット
210 ジェネシス・テクノロジー(株)
508 シエラ・デザイン・オートメーション(株)
610 GIDEL
106 シルバコ・ジャパン(株)
001 シンブリシティ(株)
REAL INTENT, INC.
Prolific Inc.
SARNOFF Corporation
Xyalis
ダツコン・システムズ(株)
703 イノテック(株)
アルテリス
ピーチソリューションズ
チップビジョンデザインシステムズ
イ・エイ・シー
ジャズセミコンダクター
ターゲットコンパイル・テクノロジー
トライアントテクノロジー
503 エイシップ・ソリューションズ(株)
304 (株)エーイーディー
203 AWR Japan (株)
505 (株)エスケーエレクトロニクス
601 (株)エッチ・ディー・ラボ
609 (株)エッチ・ディー・ラボ

システム・デザイン・フォーラム2007

社団法人 電子情報技術産業協会(JEITA)EDA技術専門委員会は、委員会活動の一環として最新EDA技術の業界内への普及促進活動を行っています。本フォーラムは、2日間で行います。1日目のフィジカル・デザイン・フォーラムは、65nm以下の微細化に伴う物理設計のDFM(Design For Manufacturing)問題であるプロセスばらつきを打破する最新の設計技術動向を、2日目のSystemCユーザ・フォーラム2007とSystemVerilogユーザ・フォーラム2007は、システムレベル設計の設計クライシスを解決する有力手段のひとつである、上流設計言語のSystemCとSystemVerilogについて、その標準化動向の紹介、チュートリアル、設計適用事例の発表を行います。このフォーラムが、システムLSI設計の最先端の状況把握、さらに議論の場として、お役に立つものと確信いたします。

山田 節(EDA技術専門委員会:三洋電機)
日時:1月25日(木)13:30~17:30 セッション1 フィジカル・デザイン・フォーラム
1月26日(金)10:00~12:00 セッション2 SystemCユーザ・フォーラム2007
13:30~15:30 セッション3 SystemVerilogユーザ・フォーラム2007
場所:アネックスホール

Table with 3 columns: 聴講料(消費税込み), 事前申込, 当日申込. Rows for Session 1, 2, and 3.

申込:Web Siteにて事前申込受付中 www.edsfair.com
定員:200名
主催:社団法人電子情報技術産業協会 EDA技術専門委員会
協賛:Accellera Organization, Inc., OSCI (Open SystemC Initiative)

1/25 セッション1:フィジカル・デザイン・フォーラム 13:30~15:30, 16:00~17:30

90nm以降のテクノロジーノード、特に直近の45nmでは、WID(Within Die)バラツキの増大が、SoC設計におけるタイミング設計上の深刻な課題として浮上しています。これに対し、さまざま手法がバラツキに起因する課題を克服する手段として提案されています。本セッションでは、バラツキを考慮した設計手法の現状を以下のトピックを通じてお伝えします。

- 1)バラツキの現状と将来動向:小野寺 秀俊氏(京都大学)
2)バラツキの計測と解析技術:中西 吾吾氏(ルネサス テクノロジー)
3)バラツキのモデリング技術:黒川 敦氏(三洋半導体)
4)統計的STAの実用化技術:松岡 英俊氏(富士通)
5)バラツキを許容する回路技術:萩原 靖彦氏(NEC中央研究所)

1/26 セッション2:SystemCユーザ・フォーラム2007 10:00~12:00

SystemCは、2005年12月にIEEEにおいて、SystemCの標準IEEE 1666-2005が承認され、標準化作業が完了しました。そして現在も言語ベースのシステムレベル設計言語の業界標準として、検証、設計分野で幅広く利用されています。本セッションでは、1) OSCIによるSystemCの現状とロードマップ、2) JEITA SystemCタスクグループによるSystemCベースのトランザクション・レベル・モデリングと動作合成に関する取り組みの紹介、3) SystemCを用いた設計事例の発表を行います。

- 1)SystemCアップデート:Patrick Sheridan氏(OSCI)
2)SystemCベースのTLMと動作合成に関する取り組み:SystemCタスクグループ
3)TLM標準化の動向について(仮):武井 勉氏(半導体理工学研究センター)
4)ソニーにおける動作合成の活用と課題(仮):旦木 秀和氏(ソニー)

1/26 セッション3:SystemVerilogユーザ・フォーラム2007 13:30~15:30

Verilog HDL(IEEE Std. 1364)の次世代言語として、2005年11月に標準化完了したSystemVerilog (IEEE Std. 1800-2005) は、LSI設計者や検証エンジニアの間で急速に適用が広がっています。本セッションでは、1)Accelleraによる次のSystemVerilog改定に向けた取り組みの紹介、2)JEITA SystemVerilogタスクグループによるSystemVerilogテストベンチ・チュートリアルと技術動向紹介、3)日本のSystemVerilogユーザによる、SystemVerilog検証事例発表、を行います。

- 1)SystemVerilog標準化アップデート:Dennis Brophy氏(Accellera)
2)SystemVerilog テストベンチ言語チュートリアル:SystemVerilog タスクグループ
3)検証言語としてのSystemVerilog適用事例:鎌田 丈良夫氏(ルネサス テクノロジー)
4)SystemVerilogで構築したレイアウト検査環境とその効果:清水 圭典氏(ソナック)

※プログラムには変更が生じる場合がありますので、あらかじめご了承ください。最新情報はWebにてご確認ください。

ASP-DAC 2007



Asia and South Pacific Design Automation Conference 2007

期日:1月23日(火)~26日(金)
会場:パシフィコ横浜・会議センター
主催:IEEE CAS, ACM SIGDA, 情報処理学会 システムLSI設計技術研究会、電子情報通信学会 基礎・境界ソサイエティ
後援:JEITA, STARC, 横浜市
参加:有料 Web Siteにて事前申込受付中 www.aspdac.com
ASP-DACは、VLSIとシステムの設計技術に関するアジア・南太平洋地区最大の国際会議です。最新の研究成果について、基礎から応用までを広範な学術論文とチュートリアルでカバーします。今回も、昨年に引き続き、現場の設計者向けに"Designers' Forum"を開催。是非、多数の皆様にご参加をいただけますようご案内申し上げます。

基調講演

- 1月24日(水)8:30~10:00 オープニング・基調講演 I
次世代の設計とEDAへの挑戦 -微細化、大規模化、設計メソッド複雑化への対応-
Rob A. Rutenbar(カーネギーメロン大学 教授)
1月25日(木)9:00~10:00 基調講演 II
来るべきIC設計 -電力、ばらつき、NRE コスト爆発の時代と将来像-
桜井貴康(東京大学 教授)
1月26日(金)9:00~10:00 基調講演 III
顧客利益の向上に向けたファウンドリの取り組み -精度が重要-
Fu-Chieh Hsu(TSMC 設計技術プラットフォーム担当副社長)

デザイナーズ・フォーラム

デザイナーズ・フォーラムは、設計に関する経験と業界における現実の製品設計に関するソリューションを共有するための新しいプログラムです。今回のトピックは SoC HW/SW検証、SoCのための低消費電力技術、チップ間信号伝達問題、LSI設計の10大課題です。

- 1/25 13:30~15:35 パネル討論:SoCのハードソフト協調検証
16:00~17:50 招待講演:SoCのための低消費電力技術
1/26 13:30~15:35 招待講演:チップ間高速信号伝送技術
16:00~17:50 パネル討論:LSI設計の10大課題

特別セッション

- 1D: University Design Contest (18 presentations)
2D: Design for Manufacturability (TSMC, Clear Shape, Global Unichip,National Tsing-Hua Univ.)
3D:Embedded Software for Multiprocessor Systems-on-Chip (Seoul National Univ., Nagoya Univ., National Taiwan Univ., NEC)
4D: EDA Challenges for Analog/RF (Katholieke Universiteit Leuven,Toshiba Co., Univ. of Minnesota)
7D: Multi-Processor Platforms for Next Generation Embedded Systems(Tensilica, ARM, IBM, IMEC, ST Micro)

その他の注目セッション

- 1A: DFM in Physical Design
1C: Advances in High-Frequency and High-Speed Circuit Design and CAD
4B: System Level Modeling
7A: Advanced Methods for Leakage Reduction
9A: Power Efficient Design Techniques
9B: Leading Edge Design Methodology for Processors

チュートリアル

各分野の第一人者が、システムレベルからデバイスレベルまで、基礎から現場で役立つ実践まで最新技術を伝授します。企業でのチップ設計、CAD 開発、CADフロー構築をされている方、また、大学や企業でチップ設計やCADの研究をされている方等に必ずお役に立つ情報です。

日時:1月23日(火)9:30 ~17:00 場所:パシフィコ横浜 会議センター
参加特典:オール・イン・ワン・テキスト*、昼食クーポン券
*受講するチュートリアルだけでなく「全てのチュートリアル」を1冊にまとめたテキスト

- 1. 65nm以降のDFMツール、設計手法と実例
N.S. Nagaraj (TI), Jean-Pierre Schoellkopf (STMicroelectronics), Mike Smaying (Applied Materials), Ban P. Wong (Chartered Semiconductor), Andrew B. Kahng (UCSD)
2. 機能検証、計画法とその管理 Andrew Piziali (Cadence), Avi Ziv (IBM)
3. 低消費電力CMOS設計:研究の最前線
若林整(ソニー)、黒田忠広(慶応大学)、 Ankur Gupta (Cadence), Luca Benini (Bologna Univ.)
4. 低消費電力CMOS設計:最先端設計実例
服部俊洋(ルネサス テクノロジー)、井上淳樹(富士通研究所)、炭田昌哉(松下電器産業)、濱田基嗣(東芝)
5. 数百万ゲートのASIC設計向けの高速度レイアウト合成手法 Charles J. Alpert (IBM)
6. 現実の組み込みシステム設計のための概念とツール
Michael Gajski (UCI), Andreas Gerstlauer (UCI), Samar Abdi (UCI)

※プログラムには変更が生じる場合がありますので、あらかじめご了承ください。最新情報はWebにてご確認ください。

新興ベンダエリア

- 参加出展者
ADVANCED RFIC (SINGAPORE) PTE LTD
ADVINNO TECHNOLOGIES PTE LTD
APRIO TECHNOLOGIES, INC.
AXIOM DESIGN AUTOMATION
AZURO, INC.
BEACH SOLUTIONS INC.
BITROUTER
CEBATECH, INC.
CHIPVISION DESIGN SYSTEMS AG
ENTASYS DESIGN, INC.
HELIC S.A.
LIBRARY TECHNOLOGIES, INC.
MUNEDA GMBH
PYXIS TECHNOLOGY, INC.
RIDGETOP GROUP INC.
SOFTJIN TECHNOLOGIES PRIVATE LIMITED
SOLIDO DESIGN AUTOMATION INC.
TARGET COMPILER TECHNOLOGIES N.V.
TENISON DESIGN AUTOMATION
THE SPIRIT CONSORTIUM INC.
VERIFIC DESIGN AUTOMATION
共済テクノロジック(株)
SIDENSE CORPORATION
(有)シンデスト・ジャパン
JEVeCビレッジ
ギガヘルツテクノロジー(株)
ケイレックス・テクノロジー(株)
(株)システム・ジェイディー
(株)数理システム
日本EDAベンチャー連絡会(JEVeC)
202 Fortelink, Inc.
211 CQ出版(株)
312 BERKELEY DESIGN AUTOMATION, Inc.
408 パルシックジャパンリミテッド
307 (株)PALTEK
606 半導体理工学研究センター
406 HANDSHAKE Solutions
004 日立信通通信エンジニアリング(株)
607 (株)日立超LSIシステムズ
516 FISHTAIL DESIGN AUTOMATION
511 フォルテ・デザイン・システムズ(株)
301 (株)福岡県産産・科学技術振興財団
(株)セイリング
(有)アナロジスト
(株)エム・ティ・アイ LSI開発センター 福岡事業所
412 ブライオンテクノロジーズ(株)
414 (株)プライムゲート
205 プラットフォームコンピュータリング(株)
401 プロトタイプ・エンジニアリング(株)
702 マグマ・デザイン・オートメーション(株)
206 丸紅ソリューションズ(株)
303 ミニッシュインターナショナル
302 三菱電機エレクトロニクス(株)
701 メンター・グラフィックス・ジャパン(株)
510 メンター・グラフィックス・ジャパン(株)
501 リード・ビジネス・インフォメーション(株)
405 OneSpin Solutions