

新興ベンダー・ガイド・ツアー 24日

1月24日(木) 11:30 ~

訪問企業

ChipVision AG

CONCEPT ENGINEERING GMBH

Entasys Design, Inc.

Javelin Design Automation

BEACH SOLUTIONS INC.

ChipVision AG



- **本社**

オルデンプルグ (Oldenburg), ドイツ

日本代理店: イノテック (株)

- **会社概要**

- システムレベルでの消費電力の見積もりと低消費電力化のツールとサービスを提供します

- **製品 (技術)**

- 革新的なESL (システムレベル)での消費電力最適化の技術

- 製品のKey Feature
 - 消費電力が最適化されたRTLを対話的に生成可能
- 主要なメリット
 - 低消費電力のアーキテクチャレベル設計でのトレードオフが可能になる
 - 消費電力がクリティカルなブロックを最大75%まで消費電力削減可能になる

Concept Engineering GmbH

本社

フライブルグ (Freiburg)、ドイツ

技術概要

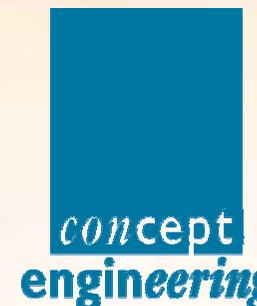
設計コンセプトを“カスタマイズ”できるデバッグ・ツールを提供します。これにより、設計者が迅速にデザインを理解し、デバッグや最適化をすることが可能になる

製品名

SpiceVision PRO

GateVision PRO

RTLvision PRO



Concept Engineering GmbH

製品のKey Features

SpiceVision PRO

トランジスタ・レベルのデバッグ

(HSPICE, CDL, CALIBRE, ...)

RTLvision PRO

RTLのデバッグ (VHDL, Verilog, SystemVerilog)

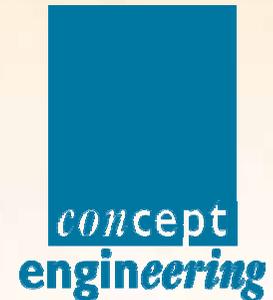
主要なメリット

トランジスタ・レベルのレイアウト前後のデバッグをサポート

(SpiceVision PRO)

設計者にIPブロックの理解と統合を支援する

(RTLvision PRO)



Entasys Design, Inc.



- 本社
 - ソウル, 韓国
- 会社概要
 - システムレベルのプロトタイピングのためのEDAソリューションを提供します
- 製品名
 - Pillar-DP-SOC

Entasys Design, Inc.



- 製品のKey Features
 - Pillar-DP-SOC
 - 消費電力に特化したシステムレベルのプロトタイピング
- 主要なメリット
 - 高速で精度の高い実現性解析
 - What-if解析による高性能な見積もり
 - 一元化、統合化されたプロトタイピング・ソリューション
 - 見積もりとプランニングを統合したシステム

Javelin Design Automation



本社

シリコンバレー, 米国

技術概要

SOC用のSPP(System Physical Prototyping)
仕様ドリブンのPhysical Prototyping (SPP)
早い段階でphysicalなフィードバックを提供する

製品名

Javelin360

TrueFit

高精度のチップ見積もり

TruePlan

Pre-RTL およびRTL プランニング

TruePro 革新的な SoC プロトタイピング

JavelinDesign Automation



Javelin360 のKey Features

TrueFit

高精度な面積、Content、性能、消費電力、プロセスの
予測とWhat-ifベースのトレードオフ

TruePlan およびTrue Pro

面積とバス接続のタイミング見積もりと最適化
RTL設計中のSoCのプロトタイピング

主要なメリット

SOCの開発期間と開発コストを35%以上削減できる
インプリ工程前のイタレーション回数を最小化
より高いマージンと設計品質を達成できる
効率的なSOC構造とフロアプランにより

Beach Solutions, Inc.



本社

サンノゼ, 米国

会社概要

SOCのIPのレジスタマップの管理、生成、検証をするツールを提供します

製品名

EASI Core

EASI SoC

EASI Verification

Beach Solutions, Inc.



製品のKey Features

EASI Core

IPのアドレスマップとピン(I/O)情報を管理する

EASI SoC

IP間の接続情報の自動生成

EASI Verification

IP間の接続の自動検証とコンフィギュレーションの生成

主要なメリット

SOCの設計期間(時間)を短縮できる

IPのレジスタに関連した使用方法の間違いを無くせる