

出展者セミナープログラム (参加無料)

聴講をご希望される方は直接セミナー会場へお越しください。

トラック名	システム設計・検証	ロジック設計&フィジカル設計/検証	AMS設計・検証	PCB	テスト設計	機能検証	IP	Low Power	DFM	フリー
1/28 (木)	10:30 ~ 11:15	DM6 EDSFair 2010	DM5 EDSFair 2010	E204 3D Full-wave Package-Board Simulation for SSN-SSO applications PHYSWARE INC Prof. Vikram Jandhyala/Vikram Jandhyala 氏 (CTO, Physware Inc.)	E205 EDSFair 2010	E206 EDSFair 2010	C11 新アプローチによる先端プロセス高性能インターフェースIPのご紹介 イノテック(株) 辻本 貴志 氏 (デザインソリューション本部 DS営業部 DS営業2グループ)	DM3 EDSFair 2010	会場アクセス ■C11 展示会場セミナールーム1F ■DM3-DM5-DM6 展示会場セミナールーム中2F ※1Fコンコースよりご入場ください。 ■E204-E205-E206 展示会場セミナールーム2F ■F202 アネックスホール2F ※2Fコンコースよりご入場ください。	
	11:30 ~ 12:15	設計者の能力を最大限に引き出す "Atrenta RTL Desktop" アトレンタ(株) 八重樫 靖氏 (シニアアプリケーションエンジニア)	Solving The System Model Challenge カーボンデザインシステムズジャパン(株) 大石 敏久 氏 (アプリケーション エンジニア グループ ディレクター)	EDSFair 2010	HISIM2 and HISIM_HV Model Extraction and Validation アットデザインリンクス(株) Yanfeng Li 氏 (Accelicon Technologies Inc., Vice President)	ローパワー・テストUPFベースのテスト・スケジューリング、パワーバジェット 他、最新テストソリューション 日本シノプシス合同会社 照井 真一 氏 (技術本部 テストフローグループ)	IPを活用したメモリサブシステムのシステム最適化 デナリフトウエア(株) 小野 努 氏 (プロジェクトマネージャ)	初心者のためのフォーマルアサーションベース検証 - 1日でスタート 日本フンスピンソリューションズ(株) Thanyapat Sakunkonchak 氏 (アプリケーションエンジニア)		
	12:30 ~ 13:15	アトレンタが提案するディープサブミクロンに対応したRTLからのテスト戦略 アトレンタ(株) 増田 慎吾 氏 (シニアアプリケーションエンジニア)	EDSFair 2010	低コストで信頼性の高いアナログIC設計環境を構築する方法とは? タナーリサーチジャパン(株) イシビルラーク工学博士 (技術部 マネージャ)	EDSFair 2010	JASPER社 進化するフォーマル検証アーキテクチャーからポストシリコンまで! CyberTec(株) 山本 剛士 氏 (技術部)	世界 No.1シェアのコネクティブIP多岐にわたる設計/検証IPを提供するDesignWare IPファミリー 日本シノプシス合同会社 鈴木 俊一 氏 (IP担当アカウントマネージャ) 中村 修 氏 (技術本部 ベリフィケーショングループ)	自動化された原因解析によりアサーションおよび設計デバッグ工数を大幅に削減 日本フンスピンソリューションズ(株) Thanyapat Sakunkonchak 氏 (アプリケーションエンジニア)		
	13:30 ~ 14:15	高位合成: Bluespecによる実行可能仕様書から検証済みRTLへのリファイン サイバネットシステム(株) 江頭 啓輔 氏 (アドバンスドソリューション統括部 新事業推進室 ESLグループ グループリーダー)	高位抽象化によるシステム検出・アーキテクチャ探索を実現するツール コフalent デザイン 山下 正美 氏 (APAC Regional Manager)	EDSFair 2010	EDSFair 2010	検証ストレスを軽減するための検証IP活用術 デナリフトウエア(株) 松田 勇 氏 (プロジェクトマネージャ)	今日から始めるローパワー検証入門 日本シノプシス合同会社 飯田 洋一郎 氏 (技術本部 ベリフィケーショングループ)	マルチコア時代の新たな検証危機へのソリューション: ZeBu-Server 日本イブ(株) 松本 光寛 氏 (AE Manager)		
	14:30 ~ 15:15	高位合成: Bluespecのロードマップ & ユーザ事例 サイバネットシステム(株) Arklin Kee 氏 (Bluespec, INC VP Sales & Business Development US West/Asia)	Arteris社が提供する次世代SoCインターコネクト "Network on Chip"のご紹介 イノテック(株) 沈 銘 氏 (ICソリューション本部 CDSプロダクト営業部 PS1グループ 技師)	EDSFair 2010	EDSFair 2010	AMBAプラットフォームの実践的な検証手順 デナリフトウエア(株) 小林 亘 氏 (プロジェクトマネージャ)	RTL電力最適化ツールPowerPro CGとメモリー向PowerPro MGの紹介。 更に、プロセッサでの応用例の紹介。 カリブ・デザイン・システムズ(株) 長南 純一 氏 (フィールドアプリケーションエンジニア)	Can your spreadsheet do this? -Pre-RTL段階の革新的なチップ見積もり環境 日本ケイデンス・デザイン・システムズ社 Anis Uzaman 氏 (米国ケイデンス・デザイン・システムズ社 Business Development Director)		
	15:30 ~ 16:15	Introduction to the Atrenta Power Backbone アトレンタ(株) 大森 康弘 氏 (シニアアプリケーションエンジニア)	Duolog Technologies社「包括的なチップインテグレーション手法について」 イノテック(株) Simon Rance 氏 (Duolog Technologies VP EDS Sales & Technical Marketing)	EDSFair 2010	EDSFair 2010	Formal Technology for Verification リアルインテント社 Prakash Narain, Ph.D. 氏 (President & CEO)	設計現場で活用できるLAVIS適用事例を一挙公開! ~ LAVISを使いこなしてコスト削減、TATも短縮 ~ TOOL (株) 長谷部 寛昭 氏 (営業部 マーケティンググループ ディレクター)	Pro/E, CATIA, V5, その他3D-CADに完全統合された熱流体解析ソフトウェアFloEFD メンターグラフィックスジャパン(株) 高田 憲成 氏 (株) 構造計画研究所 SBD営業部)		
	16:30 ~ 17:15	EDSFair 2010	アルゴリズム合成ツールPICO Extreme Powerによる低消費電力設計 Synfora, Inc. 浦 敦 氏 (国内技術担当ディレクター)	EDSFair 2010	EDSFair 2010	低消費電力動作合成フローにおけるSLECの段階的等価性検証の適用を紹介。 カリブ・デザイン・システムズ(株) 山本 修作 氏 (FAEマネージャ)	マニファクチャリングソリューション: 32nm以降の性能/歩留まりを改善するOPC 日本シノプシス合同会社 松本 比呂志 氏 (技術本部 マスク・シンセシス担当マネージャ)	ジャンクションからパッケージ・基板までの熱抵抗・容量を測定できるT3Ster-TERALED メンターグラフィックスジャパン(株) 羅 亜非 氏 (メカニカルアナリスト)		
1/29 (金)	10:30 ~ 11:15	DM6 Introduction to the Atrenta Power Backbone アトレンタ(株) 大森 康弘 氏 (シニアアプリケーションエンジニア)	DM5 EDSFair 2010	E204 EDSFair 2010	E205 EDSFair 2010	E206 EDSFair 2010	C11 高速高性能システム向けPCI Express Gen3 IPの活用事例 デナリフトウエア(株) 小林 亘 氏 (プロジェクトマネージャ)	DM3 オペレーションレベル、トランザクションレベルの網羅的検証を容易化し、スピードアップするためのフォーマルABV最新技術 日本フンスピンソリューションズ(株) Thanyapat Sakunkonchak 氏 (アプリケーションエンジニア)	F202 EDSFair 2010	
	11:30 ~ 12:15	高位合成: Bluespecによる実行可能仕様書から検証済みRTLへのリファイン サイバネットシステム(株) 江頭 啓輔 氏 (アドバンスドソリューション統括部 新事業推進室 ESLグループ グループリーダー)	Solving The System Model Challenge カーボンデザインシステムズジャパン(株) 大石 敏久 氏 (アプリケーション エンジニアグループ ディレクター)	EDSFair 2010	ICレベルからシステムレベルのミックスシグナル検証のご紹介 PrimeTimeファミリー最新情報 日本シノプシス合同会社 桂田 陸平 氏 (技術本部 インプリメンテーショングループ)	ICレベルからシステムレベルのミックスシグナル検証のご紹介 CyberTec(株) 山本 剛士 氏 (技術部)	IPを活用したメモリサブシステムのシステム最適化 デナリフトウエア(株) 植田 隆 氏 (シニアCAEマネージャ)	パッケージ・基板・筐体の熱設計を協調支援するシミュレーションパッケージ FloTHERMシリーズ メンターグラフィックスジャパン(株) 宮崎 研 氏 (株) シンディエータプロコジャパン カスタマーサービス部)	EDSFair 2010	
	12:30 ~ 13:15	高位合成: Bluespecのロードマップ & ユーザ事例 サイバネットシステム(株) Arklin Kee 氏 (Bluespec, INC VP Sales & Business Development US West/Asia)	Duolog Technologies社「包括的なチップインテグレーション手法について」 イノテック(株) Simon Rance 氏 (Duolog Technologies VP EDS Sales & Technical Marketing)	EDSFair 2010	低コストで信頼性の高いアナログIC設計環境を構築する方法とは? タナーリサーチジャパン(株) イシビルラーク工学博士 (技術部 マネージャ)	EDSFair 2010	今日から始める検証メソッド入門 日本シノプシス合同会社 戸田 亮 氏 (技術本部 ベリフィケーショングループ)	IPの利用を効率化する1 Team-GenesisによるSoCインテグレーション アトレンタ(株) 小宮 健一 氏 (シニアフィールドアプリケーションエンジニア)	これからの省エネ・エコを考慮した設計 - アンソフ製品最新情報とSI/PI/EMC解析およびアンソフ製品との熱連成解析 - アンソフジャパン(株) 門田 和博 氏 (HFプロダクトマーケティングマネージャ)	EDSFair 2010
	13:30 ~ 14:15	SystemC動作合成ツール「Cynthesizer v4.0」の最新技術動向およびCellMath Designerの紹介 フォルテ・デザインシステムズ(株) 桜井 至 氏 (技術部)	省エネを迫るELS設計! Android~リアルタイム・レイトレイシング(株)トプシステムズ 松本 祐教 氏 (代表取締役社長)	EDSFair 2010	デジタルインプリの設計観が変わる! 新時代設計に向けたEDI System 9.1 日本ケイデンス・デザイン・システムズ社 牧井 徹 氏 (フィールド・マーケティング本部 シニア・テクニカル・セールス・マネージャ)	EDSFair 2010	USB3.0デザイン検証の効率的な進め方 デナリフトウエア(株) 松田 勇 氏 (プロジェクトマネージャ)	RTL電力最適化ツールPowerPro CGとメモリー向PowerPro MGの紹介。 更に、プロセッサでの応用例の紹介。 カリブ・デザイン・システムズ(株) 長南 純一 氏 (フィールドアプリケーションエンジニア)	マルチコア時代の新たな検証危機へのソリューション: ZeBu-Server 日本イブ(株) 松本 光寛 氏 (AE Manager)	世界をリードする"STARCの革新的設計技術と標準化" (株) 半導体理工学研究センター (STARC) 西口 信行 氏 (執行役員開発第1部長)
	14:30 ~ 15:15	設計者の能力を最大限に引き出す "Atrenta RTL Desktop" アトレンタ(株) 八重樫 靖 氏 (シニアアプリケーションエンジニア)	ASICをより柔軟に製品設計のコストを削減するASIPの設計手法のご紹介 イノテック(株) Gert Goossens 氏 (Target Compiler Technologies N.V. CEO)	EDSFair 2010	インテグレーション・フィジカル検証: インプリメントと並行して実行できるフィジカル検証によりTATを削減するIRDロップ、EM検証ツール PrimeRail 日本シノプシス合同会社 望月 貴光 氏 (技術本部 フィジカルベリフィケーショングループ)	EDSFair 2010	メトリクスドリブン検証って何ですか? うまく使おうOVM 日本ケイデンス・デザイン・システムズ社 後藤 謙治 氏 (フィールド・マーケティング本部 テクニカル・セールス・ディレクター)	EDSFair 2010	全部できる! Encounterデジタルサインオフ解析ライブラリ 日本ケイデンス・デザイン・システムズ社 池田 建善 氏 (テクニカルフィールドオペレーション 本部シニアセールステクニカルリーダー)	世界をリードする"STARCの革新的設計技術と標準化" (株) 半導体理工学研究センター (STARC) 畠山 一実 氏 (開発第2部 チームリーダー) 北城 三郎 氏 (開発第2部 担当部長) 佐野 昌 氏 (企画部標準化推進室長)
	15:30 ~ 16:15	最新ラピッド・プロトタイプ検証: 短期間/低コストで実行できるシステム評価 / 検証 日本シノプシス合同会社 古俣 孝 氏 (技術本部 シンプリシティビジネスグループ)	Arteris社が提供する次世代SoCインターコネクト "Network on Chip"のご紹介 イノテック(株) 沈 銘 氏 (ICソリューション本部 CDSプロダクト営業部 PS1グループ 技師)	EDSFair 2010	短期実現! Conformalを使用したECO環境の構築 アットデザインリンクス(株) 土田 英一 氏 (テクニカルフィールドオペレーション本部 シニアセールステクニカルリーダー)	EDSFair 2010	網羅的テストからカバレッジ・クロージャまで、しっかり変えるOVM メンターグラフィックスジャパン(株) 安藤 泰輝 氏 (テクニカル・セールス本部 Front-endソリューション グループ)	設計現場で活用できるLAVIS適用事例を一挙公開! ~ LAVISを使いこなしてコスト削減、TATも短縮 ~ TOOL (株) 長谷部 寛昭 氏 (営業部 マーケティンググループ ディレクター)	高速インターフェース搭載、中小量対応、低コスト高性能ASICのご紹介 イノテック(株) 佐藤 文彦 氏 (デザインソリューション本部 DS営業部 DS営業2グループ)	EDSFair 2010
	16:30 ~ 17:15	ESL設計メソッドによる高抽象度最適ハードウェア設計と検証手法 メンターグラフィックスジャパン(株) 小山 洋 氏 (テクニカル・セールス本部 Front-endソリューショングループ)	SpyGlassによる設計再利用のための品質管理手法 アトレンタ(株) 小宮 健一 氏 (シニアフィールドアプリケーションエンジニア)	EDSFair 2010	IC Compiler / Galaxyデザイン・プラットフォームが先進のデザインで選ばれる理由とは!? 日本シノプシス合同会社 野田 茂生 氏 (技術本部 フィジカル・デザイン・グループ)	EDSFair 2010	ICピンランニングから見直すPCB設計工程 メンターグラフィックスジャパン(株) 黎 健悟 氏 (テクニカル・セールス本部 Advanced Systems Platform Group シニアアプリケーションエンジニア)	EDSFair 2010	製造工程直結のSoC開発プラットフォーム製造実績の豊富な設計フロー/業界最先端のサブロー/テック/ロジックとIPの最適化/設計プロジェクト管理機能を統合するLynx Design System 日本シノプシス合同会社 若山 象司 氏 (技術本部 Lynx Design System担当)	EDSFair 2010