



# 新興ベンダ・ガイド・ツアー (B)

**13:00-14:00**

**エーエスケイアシスト(ASKAssist)**

**秋山 俊恭**

**Electronic Design and Solution Fair 2010**

Webにない“新しい”がここにある。  
“New”@EDSFair, on-site. Not on web-site

# EDSFair2010 新興ベンダーツアースケジュール(1月29日)

グループ	順番	会社名	本社所在地	URL	カテゴリ	特徴技術
第2回 ツアー (グループB)	1	POLYTEDA Software Corporation	カナダ	www.polyteda.com	インプリ	高速物理検証 高速かつ予測可能
	2	Micrologic Design Automation Inc.	米国	www.micrologic-da.com	インプリ	対話信頼性チェッカー 自動修正機能
	3	Dorado Design Automation, Inc.	米国	www.dorado-da.com	インプリ	タイミング考慮ECO セルベース、ゲートアレイ
	4	Teklatech	米国	www.teklatech.com	電力最適化	物理設計初期での 電源、IRドロップ解析
第3回 ツアー (グループC)	1	EDXACT	フランス	www.edxact.com	ミックスシグナル	大規模、高精度 寄生抽出、評価
	2	Concept Engineering GmbH	ドイツ	www.concept.de	フロントエンド ~ バックエンド	回路、ゲート、RTL可 視化、デバッグ環境
	3	Physware Inc.	米国	www.physware.com	SI/PI/EMI	高速電磁界解析 SI x10, EMI x100
	4	Interoperable PDK Alliance	米国	www.iplnow.com	アナログ	インターオペラブルPDK EDA 18 + TSMC

# POLYTEDA Software Corp.

- **会社所在地**
  - トロント(カナダ)
- **会社概要**
  - POLYTEDAは、急速に成長しているEDAベンダーであり、  
高速、高精度、高信頼性の検証ソリューションを提供
- **製品名**
  - PowerDRC/LVS

# POLYTEDA Software Corp.

- **設計生産性向上**
  - PowerDRC/LVSは、業界トップクラスのDRCツールに対し、約10倍以上の高速性を実現  
パフォーマンスは、設計の規模に依存
- **実行時間予測可能**
  - パフォーマンスは、プロセスノードとデザインの規模によって予測が可能
  - スタンダードセル、フルカスタム、ミックストシグナル等々の”設計スタイル依存”ではない
- **必須技術**
  - 大規模SoC設計プロジェクトでは、フラットでの十分な処理能力と優れたパフォーマンスが要求

# Micrologic



- **会社所在地**
  - カリフォルニア州サンノゼ(米国)
- **会社概要**
  - デザインのサインオフを短期間で行うことができる対話的なDRCと信頼性チェックのリーディングプロバイダー
- **製品名**
  - VisualDRC
  - NanoRVInteractive

# Micrologic



- **製品の主な特徴**
  - VisualDRC
    - サインオフルール対話DRCチェッカー
  - NanoRVInteractive
    - 対話信頼性チェッカー (EM, Antenna/Fuse効果)
- **主なメリット**
  - レイアウト期間を最大50%削減
  - 多種多様で複雑なデザインルールを扱うことが可能
  - 信頼性チェックを早期に開始可能
  - 最終製品の品質を大幅に向上

# Dorado Design Automation

**Dorado**

- **会社所在地**
  - 台湾・新竹(シンチュウ)
- **会社概要**
  - LSI 設計向け総合ECOソリューションの開発、販売  
及びサポート
- **製品名**
  - Tweaker-F1 (機能 ECO)
  - Tweaker-T1 (タイミング ECO)
  - Tweaker-M1 (メタル ECO)
  - Tweaker-P1 (パワー ECO)

- **製品の主な特徴**

- Tweaker F1 + M1

- タイミングドリブンの機能ECO、ゲートアレイにも対応するポストマスク向けメタルECO

- Tweaker T1 + P1

- マルチモード、マルチコーナー対応タイミングECO、リーク電力を最小化するパワーECO

- **主なメリット**

- 3 ~ 10倍 高速なECO処理

- Hold-fixのタイミングECOは、エリアオーバーヘッドを従来より30%低減

- リーク電力を15% ~ 25%削減



# Teklatech

- **会社所在地**
  - コペンハーゲン(デンマーク)
- **会社概要**
  - Teklatechは、デジタルIC、ミックストシグナルICのIRドロップ、EMI、デジタルノイズを削減するため、ダイナミックパワー最適化ツールを開発
- **製品名**
  - FloorDirector<sup>®</sup> plus options: 初期の電源解析、ダイナミックパワー最適化、周波数ドメイン解析

# Teklatech

- **製品の主な特徴**

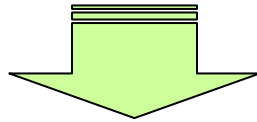
- FloorDirectorは、ネットリストレベルでダイナミックパワーを削減
  - デジタル論理の追加/変更不要、性能劣化無し
- IRドロップ、EMI、ノイズ問題の根本原因を撲滅
  - 最適化は、既存のオンチップ手法に追加

- **主なメリット**

- バックエンドデザインの成功が増加
  - ECO削減、高効率      Time to Market      ¥ ¥ ¥
- 直接的/間接的なICコスト削減、仕損コスト削減
  - マスクセット、ウェハースピン削減      ¥ ¥ ¥

# お願い

- 日本は、開発においても魅力がなくなりつつある
  - 技術系の展示会等に海外からの参加者が減少
- 設計技術をリードしなければ、良い製品の開発が出来ない
  - 優秀な設計者を集めても、道具が整っていないければ、勝てない
- 日本で先端の開発を行い、他へ展開する時代は終わる



- 積極的に新しいEDA/設計技術を見て頂きたい
  - EDAベンダーの訪問は、受け入れ、議論する
  - EDAベンダーと技術的にもよい関係を作る
    - 商品マーケットと技術マーケット
- **大手ベンダーのブースだけでなく、中小ベンダーのブースに訪問し、議論して頂きたい**